

(11) 特許出願公開番号

特開2001-14888

(P2001-14888A)

(43)公開日 平成13年1月19日(2001.1.19)

(5) Int.Cl.	識別記号	FI	データ(参考)
G11C 29/00	631	G11C 29/00	631Z 5B003
17/00		17/00	E 5B025
16/06			639Z 5L106

審査請求 未請求 請求項の数50 O.L (全 45 頁)

(21)出願番号	特願平11-181874	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年6月28日(1999.6.28)	(72)発明者	田中 智晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(72)発明者	柴田 昇 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外6名)

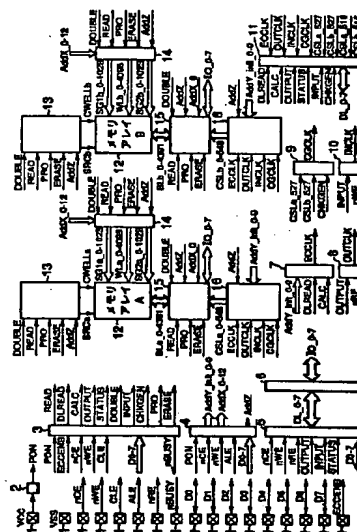
最終頁に続く

(54) 【発明の名称】 フラッシュメモリ

(57)【嬰約】

【課題】フラッシュメモリの内部で自動的に誤り訂正処理を行わせ、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性を持たせる。

【解決手段】メモリセクタと、外部からの命令を受けて制御信号を発生するインターフェイス3と、書き込み命令信号によって活性化され、制御信号を発生する回路7と、書き込みデータ入力命令信号によって活性化され、外部から入力される第1の信号に同期して外部から入力される書き込みデータを受け取り、書き込み命令によって活性化され、制御信号に同期して検査データを発生する誤り訂正回路11と、各々のメモリセルに対して設けられ、書き込みデータあるいは検査データを取り込んで一時記憶する回路17と、書き込み命令によって活性化され、記憶されている書き込みデータと検査データをメモリセクタに書き込む回路13、14、15とを具備する。



【特許請求の範囲】

【請求項1】 複数のフラッシュメモリセルから構成されるメモリセクタと、

外部からの書き込みデータ入力命令を受け書き込みデータ入力命令信号を発生し、外部からの書き込み命令を受け書き込み命令信号を発生するコマンドインターフェイスと、

外部から入力される第1の信号を受け取る第1の信号バッファと、

前記書き込み命令信号によって活性化され、制御信号を発生する制御信号発生回路と、

前記書き込みデータ入力命令信号によって活性化され、外部から入力される書き込みデータを前記第1の信号に同期して受け取るデータ入力バッファと、

前記書き込みデータ入力命令信号によって活性化され、前記第1の信号に同期して前記書き込みデータを受け取り、前記書き込み命令によって活性化され、前記制御信号に同期して誤り訂正のための検査データを発生する誤り訂正回路と、

外部から入力されるアドレスデータを受け取るアドレスバッファと、

前記書き込みデータ入力命令信号によって活性化され、前記第1の信号に同期して前記アドレスデータに基づいて予め決められた順にアドレス信号を発生し、前記書き込み命令信号によって活性化され、前記制御信号に同期して予め決められた順にアドレス信号を発生するアドレス信号発生回路と、

各々が各々のメモリセルに対して設けられ、各々は割り付けられたアドレス信号を受けて前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路と、

前記書き込み命令によって活性化され、前記複数のデータ記憶回路に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段とを具備することを特徴とするフラッシュメモリ。

【請求項2】 前記書き込み命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項1記載のフラッシュメモリ。

【請求項3】 複数のフラッシュメモリセルから構成されるメモリセクタと、 複数の前記メモリセクタから構成されるメモリセルアレイと、

制御信号を発生する制御信号発生回路と、

外部から入力される第1の信号を受け取る第1の信号バッファと、

外部から入力されるアドレスデータを受け取るアドレスバッファと、

前記制御信号に同期して予め決められた順にアドレス信号を発生し、前記第1の信号に同期して前記アドレスデータに基づいて予め決められた順にアドレス信号を発生するアドレス信号発生回路と、

前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、各々は割り付けられたアドレス信号を受けて一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、

前記第1の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、

前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記データ出力バッファから出力されるデータが誤りであるか否かを前記第1の信号に同期して判断して訂正する誤り訂正回路とを具備することを特徴とするフラッシュメモリ。

【請求項4】 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化されメモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに具備することを特徴とする請求項3記載のフラッシュメモリ。

【請求項5】 前記誤り訂正回路は、メモリセルから読み出したデータのうちの複数のデータの訂正可能であり、前記ステータス出力手段は誤りの数を出力可能であることを特徴とする請求項4記載のフラッシュメモリ。

【請求項6】 前記誤り訂正回路は、メモリセルから読み出したデータのうちの n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能であることを特徴とする請求項4記載のフラッシュメモリ。

【請求項7】 前記メモリセルからのデータの読み出しおよびメモリセルから読み出されたデータを前記誤り訂正回路が受け取る期間にわたって連続してビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項3記載のフラッシュメモリ。

【請求項8】 複数のフラッシュメモリセルから構成されるメモリセクタと、 複数の前記メモリセクタから構成されるメモリセルアレイと、

外部からの訂正読み出し命令を受け訂正読み出し命令信号を発生するコマンドインターフェイスと、

前記訂正読み出し命令信号によって活性化され制御信号を発生する制御信号発生回路と、

外部から入力される第1の信号を受け取る第1の信号バッファと、

外部から入力されるアドレスデータを受け取るアドレスバッファと、

前記第1の信号に同期して前記アドレスデータに基づいて予め決められた順にアドレス信号を発生し、前記訂正読み出し命令信号によって活性化され前記制御信号に同期して予め決められた順にアドレス信号を発生するアドレス信号発生回路と、

前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、各々は割り付けられたアドレス信号を受けて一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、

前記第1の信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを具備することを特徴とするフラッシュメモリ。

【請求項9】 前記コマンドインターフェイスは、外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生し、前記ステータス読み出し命令信号によって活性化されメモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段をさらに具備することを特徴とする請求項8記載のフラッシュメモリ。

【請求項10】 前記誤り訂正回路は、メモリセルから読み出したデータのうち複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能であることを特徴とする請求項9記載のフラッシュメモリ。

【請求項11】 前記誤り訂正回路は、メモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能であることを特徴とする請求項9記載のフラッシュメモリ。

【請求項12】 前記メモリセルからのデータの読み出し期間にビジー信号を外部へ出力し、かつ、前記訂正読み出し命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項8記載のフラッシュメモリ。

【請求項13】 複数のフラッシュメモリセルから構成されるメモリセクタと、

外部からの書き込みデータ入力命令を受け書き込みデー

タ入力命令信号を発生し、外部からの書き込み命令を受け書き込み命令信号を発生するコマンドインターフェイスと、

外部から入力される第1の信号を受け取る第1の信号バッファと、

前記書き込み命令信号によって活性化され、制御信号を発生する制御信号発生回路と、

前記書き込みデータ入力命令信号によって活性化され、外部から入力される書き込みデータを前記第1の信号に同期して受け取るデータ入力バッファと、

前記書き込みデータ入力命令信号によって活性化され前記第1の信号に同期して前記書き込みデータを受け取り、前記書き込み命令によって活性化され前記制御信号に同期して誤り訂正のための検査データを発生する誤り訂正回路と、

各々が各々のメモリセルに対して設けられ、前記第1の信号および前記制御信号に同期して前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路と、

前記書き込み命令によって活性化され、前記複数のデータ記憶回路に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段とを具備することを特徴とするフラッシュメモリ。

【請求項14】 前記書き込み命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項13記載のフラッシュメモリ。

【請求項15】 複数のフラッシュメモリセルから構成されるメモリセクタと、

複数の前記メモリセクタから構成されるメモリセルアレイと、

制御信号を発生する制御信号発生回路と、

外部から入力される第1の信号を受け取る第1の信号バッファと、

外部から入力されるアドレスデータを受け取るアドレスバッファと、

前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記制御信号および前記第1の信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、

前記第1の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、

前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記データ出力バッファから出力されるデータが誤

りであるか否かを前記第1の信号に同期して判断して訂正する誤り訂正回路とを具備することを特徴とするフラッシュメモリ。

【請求項16】 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化されメモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに具備することを特徴とする請求項15記載のフラッシュメモリ。

【請求項17】 前記誤り訂正回路は、メモリセルから読み出したデータのうち複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能であることを特徴とする請求項16記載のフラッシュメモリ。

【請求項18】 前記誤り訂正回路は、メモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能であることを特徴とする請求項16記載のフラッシュメモリ。

【請求項19】 前記メモリセルからのデータの読み出しおよびメモリセルから読み出されたデータを前記誤り訂正回路が受け取る期間にわたって連続してビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項15記載のフラッシュメモリ。

【請求項20】 複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、

外部からの訂正読み出し命令を受け訂正読み出し命令信号を発生するコマンドインターフェイスと、前記訂正読み出し命令信号によって活性化され制御信号を発生する制御信号発生回路と、外部から入力される第1の信号を受け取る第1の信号バッファと、

外部から入力されるアドレスデータを受け取るアドレスバッファと、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記第1の信号および前記制御信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、

前記第1の信号に同期して前記複数のデータ記憶回路か

ら出力されるメモリセルから読み出したデータを受け取り、前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを具備することを特徴とするフラッシュメモリ。

【請求項21】 前記コマンドインターフェイスは、外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生し、

前記ステータス読み出し命令信号によって活性化されメモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段をさらに具備することを特徴とする請求項20記載のフラッシュメモリ。

【請求項22】 前記誤り訂正回路は、メモリセルから読み出したデータのうち複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能であることを特徴とする請求項21記載のフラッシュメモリ。

【請求項23】 前記誤り訂正回路は、メモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能であることを特徴とする請求項21記載のフラッシュメモリ。

【請求項24】 前記メモリセルからのデータの読み出し期間にビジー信号を外部へ出力し、かつ、前記訂正読み出し命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項20記載のフラッシュメモリ。

【請求項25】 複数のフラッシュメモリセルから構成されるメモリセクタと、外部から入力される第1の信号を受け取り、第1の期間に第1の制御信号を出力する信号バッファと、前記第1の期間とは異なる第2の期間に、自動的に第2の制御信号を発生する制御信号発生回路と、外部から入力される書き込みデータを前記第1の信号に同期して受け取るデータ入力バッファと、

前記第1の制御信号に同期して前記書き込みデータを受け取り、前記第2の制御信号に同期して誤り訂正のための検査データを発生する誤り訂正回路と、各々が各々のメモリセルに対して設けられ、前記第1の制御信号および前記第2の制御信号に同期して前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路と、

前記複数のデータ記憶回路に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段とを具備することを特徴とするフラッシュメモリ。

【請求項26】 前記第2の期間にビジー信号を外部へ

出力するビジー信号出力回路をさらに具備することを特徴とする請求項25記載のフラッシュメモリ。

【請求項27】 複数のフラッシュメモリセルから構成されるメモリセクタと、

複数の前記メモリセクタから構成されるメモリセルアレイと、

第1の期間に自動的に第1の制御信号を発生する制御信号発生回路と、

外部から入力される第1の信号を受け取り、第2の制御信号を前記第1の期間とは異なる第2の期間に出力する信号バッファと、

外部から入力されるアドレスデータを受け取るアドレスバッファと、

前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、
各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記第1の制御信号および前記第2の制御信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、

前記第2の信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、

前記第1の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記データ出力バッファから出力されるデータが誤りであるか否かを前記第2の信号に同期して判断して訂正する誤り訂正回路とを具備することを特徴とするフラッシュメモリ。

【請求項28】 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化されメモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに具備することを特徴とする請求項27記載のフラッシュメモリ。

【請求項29】 前記誤り訂正回路は、メモリセルから読み出したデータのうち複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能であることを特徴とする請求項28記載のフラッシュメモリ。

【請求項30】 前記誤り訂正回路は、メモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能であることを特徴とする請求項28記載のフラッシュメモリ。

【請求項31】 前記メモリセルからのデータの読み出

しおよびメモリセルから読み出されたデータを前記誤り訂正回路が受け取る期間にわたって連続してビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項27記載のフラッシュメモリ。

【請求項32】 複数のフラッシュメモリセルから構成されるメモリセクタと、

複数の前記メモリセクタから構成されるメモリセルアレイと、

外部から入力される第1の信号を受け取り、第1の期間に第1の制御信号を出力する信号バッファと、

前記第1の期間とは異なる第2の期間に自動的に第2の制御信号を発生する制御信号発生回路と、

外部から入力されるアドレスデータを受け取るアドレスバッファと、

前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、
各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記第1の制御信号および前記第2の制御信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、

前記第1の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、

前記第1の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記第2の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを具備することを特徴とするフラッシュメモリ。

【請求項33】 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、

前記ステータス読み出し命令信号によって活性化されメモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに具備することを特徴とする請求項32記載のフラッシュメモリ。

【請求項34】 前記誤り訂正回路は、メモリセルから読み出したデータのうち複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能であることを特徴とする請求項33記載のフラッシュメモリ。

【請求項35】 前記誤り訂正回路は、メモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、

前記ステータス出力手段は誤り訂正可能か否かを出力可能であることを特徴とする請求項3記載のフラッシュメモリ。

【請求項36】 前記メモリセルからのデータの読み出し期間にビジー信号を外部へ出力し、かつ、前記第2の期間にビジー信号を外部へ出力するビジー信号出力回路をさらに具備することを特徴とする請求項3記載のフラッシュメモリ。

【請求項37】 複数のフラッシュメモリセルから構成されるメモリセクタと、

ビジー信号を外部へ出力するビジー信号出力回路と、外部から入力される各々のメモリセルに書き込む書き込みデータを受け取るデータ入力バッファと、

前記書き込みデータを一時記憶する n ビット記憶可能な複数のデータ記憶回路と、

$m1$ ビット ($m1 < n$) の書き込みデータを取り込み $m2$ ビット ($m1 + m2 < n$) の検査データを発生し、前記 $m2$ ビットの検査データを発生した後、 $m3$ ビット ($m1 + m2 + m3 < n$) の書き込みデータを取り込み $m4$ ビット ($m1 + m2 + m3 + m4 \leq n$) の検査データを発生する誤り訂正回路とを具備し、

$m2$ ビットの検査データは、 $m1$ ビットの書き込みデータが前記複数のデータ記憶回路に入力されて後、前記複数のデータ記憶回路に入力され一時記憶され、 $m4$ ビットの検査データは、 $m3$ ビットの書き込みデータが前記複数のデータ記憶回路に入力されて後、前記複数のデータ記憶回路に入力され一時記憶され、前記複数のデータ記憶回路に一時記憶された $m1$ および $m3$ ビットの書き込みデータと $m2$ および $m4$ ビット検査データは、 $m4$ ビットの検査データが前記複数のデータ記憶回路に一時記憶されて後、前記メモリセクタに書き込まれ、前記誤り訂正回路が前記 $m2$ ビットの検査データを発生するときに前記ビジー信号出力回路からビジー信号を外部へ出力することを特徴とするフラッシュメモリ。

【請求項38】 複数のフラッシュメモリセルから構成されるメモリセクタと、

ビジー信号を外部へ出力するビジー信号出力回路と、前記メモリセクタから読み出しデータを読み出し、誤った読み出しデータを特定する誤り訂正回路とを具備し、前記メモリセクタから読み出しデータを読み出す期間と、前記誤り訂正回路が誤った読み出しデータを特定する期間と、にわたって、前記ビジー信号出力回路から連続してビジー信号を外部へ出力することを特徴とするフラッシュメモリ。

【請求項39】 複数のフラッシュメモリセルから構成されるメモリセクタと、

前記メモリセクタから読み出された読み出しデータを外部へ出力するデータバッファと、

前記データバッファから読み出しデータを出力すると同時に、読み出しデータから誤った読み出しデータを特定

するために読み出しデータが入力される誤り訂正回路とを具備し、

前記誤り訂正回路は、再度データバッファから読み出しデータが外部へ出力される時に、誤った読み出しデータを訂正することを特徴とするフラッシュメモリ。

【請求項40】 誤りの状態を外部へ出力するステータス出力回路をさらに具備することを特徴とする請求項39記載のフラッシュメモリ。

【請求項41】 前記メモリセクタから読み出された読み出しデータを一時記憶する複数のデータ記憶回路をさらに具備することを特徴とする請求項39記載のフラッシュメモリ。

【請求項42】 複数のフラッシュメモリセルで構成されるメモリセクタと、

情報データと検査データを前記メモリセクタに書き込む手段と、

前記メモリセクタから前記情報データと前記検査データを読み出す手段と、

前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路とを具備し、

前記誤り訂正回路は、少なくとも1つ以上の所定のメモリセルに記憶される情報データを予め決められたダミーデータに置き換えて前記検査データを発生し、前記所定のメモリセルから読み出された情報データを前記ダミーデータに置き換えて前記情報データを訂正することを特徴とするフラッシュメモリ。

【請求項43】 複数のフラッシュメモリセルで構成されるメモリセクタと、

所定の n ビット情報データと検査データを前記メモリセクタに書き込む手段と、

前記メモリセクタから前記 n ビットの情報データと前記検査データを読み出す手段と、

前記 n ビットの情報データから前記検査データを発生し、前記 n ビットの情報データと前記検査データから前記 n ビットの情報データの誤り訂正をする誤り訂正回路とを具備し、

前記誤り訂正回路は、外部から入力される前記情報データが m ビット ($m < n$) の場合に予め決められた ($n - m$) ビットのダミーデータを情報データとして実効的に付加し前記検査データを発生することを特徴とするフラッシュメモリ。

【請求項44】 複数のフラッシュメモリセルで構成されるメモリセクタと、

情報データと検査データを前記メモリセクタに書き込む手段と、

前記メモリセクタから前記情報データと前記検査データを読み出す手段と、

前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正

をする誤り訂正回路と、
外部へ誤り訂正して前記情報データを出力するか外部へ誤り訂正しないで前記情報データを出力するかを選択するスイッチ回路とを具備することを特徴とするフラッシュメモリ。

【請求項45】 複数のフラッシュメモリセルで構成されるメモリセクタと、
情報データと検査データを前記メモリセクタに書き込む手段と、

前記メモリセクタから前記情報データと前記検査データを読み出す手段と、

前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、

前記誤り訂正回路を活性化するか非活性化するかを選択するスイッチ回路とを具備することを特徴とするフラッシュメモリ。

【請求項46】 複数のフラッシュメモリセルで構成されるメモリセクタと、
複数の前記メモリセクタで構成されるメモリセルアレイと、

情報データと検査データを前記メモリセクタに書き込む手段と、
前記メモリセクタから前記情報データと前記検査データを読み出す手段と、

前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、
電源投入にともなって自動的に所定のメモリセクタのデータを読み出す手段とを具備することを特徴とするフラッシュメモリ。

【請求項47】 複数のフラッシュメモリセルで構成されるメモリセクタと、
第1の情報データと第1の検査データを前記メモリセクタの各々のメモリセルに1ビットづつに書き込み、その後、書き込まれた第1の情報データと書き込まれた第1の検査データと第2の情報データと第2の検査データをもとに前記メモリセクタの各々のメモリセルにさらに1ビットづつに書き込み、1つのメモリセルに2ビットのデータを書き込む、多値書き込み手段と、

前記メモリセクタから前記第1の情報データと前記第1の検査データを読み出し、前記メモリセクタから前記第2の情報データと前記第2の検査データを読み出す多値読み出し手段と、
前記第1の情報データから前記第1の検査データを発生し、前記第2の情報データから前記第2の検査データを発生し、前記第1の情報データと前記第1の検査データから前記第1の情報データの誤りを訂正し、前記第2の情報データと前記第2の検査データから前記第2の情報データの誤りを訂正する誤り訂正回路とを具備し、

前記誤り訂正回路は、BCH符号に基づいて検査データの発生及び誤り訂正を行うことを特徴とするフラッシュメモリ。

【請求項48】 複数のフラッシュメモリセルで構成されるメモリセクタと、
前記メモリセクタを消去し、すべてのメモリセルのデータを"1"にする消去回路と、

情報データと検査データを前記メモリセクタに書き込む手段と、
前記メモリセクタから前記情報データと前記検査データを読み出す手段と、

前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路とを具備し、前記誤り訂正回路は、

全て"1"の情報データから全て"1"の検査データを発生することを特徴とするフラッシュメモリ。
【請求項49】 複数のフラッシュメモリセルから構成されるメモリセクタと、
外部から入力される情報データから誤り訂正のための検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、
各々が各々のメモリセルに対して設けられる複数のデータ記憶回路と、
前記複数のデータ記憶回路に一時記憶されている情報データと検査データを前記メモリセクタに書き込む手段と、
前記メモリセクタから前記情報データと前記検査データを前記複数のデータ記憶回路に読み出す手段と、
前記複数のデータ記憶回路に記憶されているメモリセクタから読み出された情報データおよび検査データを外部へ出力する手段とを具備することを特徴とするフラッシュメモリ。

【請求項50】 複数のフラッシュメモリセルから構成されるメモリセクタと、
外部から入力される情報データから誤り訂正のための検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、
各々が各々のメモリセルに対して設けられる複数のデータ記憶回路と、
前記複数のデータ記憶回路に一時記憶されている情報データと検査データを前記メモリセクタに書き込む手段と、
前記メモリセクタから前記情報データと前記検査データを前記複数のデータ記憶回路に読み出す手段とを具備し、
前記複数のデータ記憶回路に記憶されているデータを、外部から情報データが入力される前に所定のデータにリセットすることを特徴とするフラッシュメモリ。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は、フラッシュメモリに係り、特に誤り訂正回路を搭載した高信頼性のフラッシュメモリに関するもので、NAND型フラッシュメモリ、NOR型フラッシュメモリなどに使用されるものである。

【0002】

【従来の技術】ところで、不揮発性の半導体メモリのうち、フラッシュメモリは、電気的に比較的大きな単位でデータの消去・書き換えが可能であり、ハードディスクの代替、コンピュータシステムではBIOS（基本入出力システム）の記憶、携帯電話では通信規約などの記憶、デジタルカメラなどで画像の記憶などに応用されている。したがって、フラッシュメモリに記憶されているデータに1ビットでも誤りが生じれば、コンピュータシステムのダウン、携帯電話の通信不能、データ破壊などを引き起こすことになる。

【0003】そこで、フラッシュメモリの応用システムが高信頼性を要求する場合には、フラッシュメモリを管理するシステムの機能として、記憶させたい情報データに対して誤り検出・訂正が可能なように検査データを付加してフラッシュメモリに書き込み、また、情報データと検査データを読み出して情報データに誤りが無いチェックし、誤りがある場合には誤りを訂正する機能を持たせる。

【0004】ところが、フラッシュメモリを管理するシステム毎に誤り訂正の方法が異なる場合が多く、例えば検査データが異なったり、そのデータ長が異なると、問題が生じる。即ち、あるシステムAで書き込まれたデータを別のシステムBで読み出すと、データに誤りが無いにもかかわらず、誤りがあるとして正しいデータを間違えたデータに変えてしまったり、訂正不可能な誤りが生じたと誤検出されてしまい、これによってシステム上のデータの破壊が起こる。

【0005】一方、フラッシュメモリに誤り訂正回路を搭載してしまう方法があり、これはシステムに依存せずにフラッシュメモリ内で誤り訂正を行うので有効である。

【0006】しかし、誤り訂正回路は複雑で回路面積が大きく、フラッシュメモリのチップサイズが大きくなりコスト高を招く。これに対して、本願出願人の出願に係る例えば特願平7-83459「誤り訂正回路と半導体記憶装置」では、読み出し・書き込みのためのデータ記憶回路と誤り訂正回路の一部を共用して回路面積の増大を抑えている。

【0007】また、近年のフラッシュメモリには、1つのメモリセルに1ビット以上のデータを記憶させる多値記憶式のものが見られる。しかし、多値記憶式のフラッシュメモリは、1つのメモリセルが破壊した場合に複数ビットのデータに誤りが生じる（つまり、バースト誤りが生じる）。

【0008】このようなバースト誤りを短い検査データで効率よく訂正するために、リード・ソロモン符号に基づく誤り訂正方法があるが、誤りの特定に複雑な回路が必要であり、回路面積が大きくなり、フラッシュメモリのチップサイズが大きくなり、コスト高を招く。これに対して、本願出願人の出願に係る例えば特願平6-326344では、多値記憶式フラッシュメモリの誤り訂正をビット単位の誤り訂正方法により行い、1つのメモリセルに同時に書き込まれる複数ビットのデータを複数の検査データで救済するようにしている。

【0009】上述したように、フラッシュメモリに誤り訂正回路を搭載するという技術は従来から存在するが、従来の誤り訂正回路を搭載しないフラッシュメモリとの互換性、誤りの検出やその誤りの特定を行うための所要時間を短くする点、検査データを発生させるための所要時間を短くする点、製品テストなどで不良解析を行う場合に誤り訂正回路による支障が発生しないようにする点、フラッシュメモリの応用システム側で誤り訂正を行う場合にメモリ内部の誤り訂正回路による支障が発生しないようにする点などの実用上の利便性を考慮した誤り訂正回路を搭載したフラッシュメモリは見当たらない。

【0010】

【発明が解決しようとする課題】本発明は上記の事情に鑑みてなされたもので、従来の誤り訂正回路を搭載しないフラッシュメモリとの互換性を確保し得るフラッシュメモリを提供することを目的とする。

【0011】また、本発明の他の目的は、誤りの検出やその誤りの特定を行うための所要時間を短くし、見かけ上の読み出し時間を短くすることができ、平均読み出し時間を短くし得るフラッシュメモリを提供することにある。

【0012】また、本発明の他の目的は、検査データを発生させるための所要時間を短くし、見かけ上の書き込み時間を短くし得るフラッシュメモリを提供することにある。

【0013】また、本発明の他の目的は、製品テストなどで不良解析を行う場合に支障が発生しないようにし得るフラッシュメモリを提供することにある。

【0014】また、本発明の他の目的は、フラッシュメモリ管理システムがそのメモリセルに追加情報データを書き込んだ場合でも、正しく誤り訂正を行い得るフラッシュメモリを提供することにある。

【0015】また、本発明の他の目的は、情報データ長に依存せず正しく誤り訂正を行うことができ、応用システム側で誤り訂正を行う場合にメモリ内部の誤り訂正回路による支障が発生しないようにし得るフラッシュメモリを提供することにある。

【0016】また、本発明の他の目的は、内部に搭載した誤り訂正回路を活性化するか非活性化するか選択でき、容易に不良解析を行い得るフラッシュメモリを提供

することにある。

【0017】また、本発明の他の目的は、内部誤り訂正回路が動作する製品と動作しない製品とを共通に生産でき、生産性を向上し得るフラッシュメモリを提供することにある。

【0018】また、本発明の他の目的は、電源投入とともに自動的にメモリセルアレイから所定のデータを読み出しフラッシュメモリを応用したシステムにおいて、フラッシュメモリに搭載した誤り訂正回路によりいかなる場合でも誤り訂正が可能になり、安定して信頼性の高いフラッシュメモリを提供することにある。

【0019】また、本発明の他の目的は、1つのメモリセルに2ビットのデータを書き込み、BCH符号を用いた誤り訂正回路を搭載することにより、比較的チップサイズの小さい多値フラッシュメモリを提供することにある。

【0020】また、本発明の他の目的は、消去後の読み出しにおいても誤り訂正回路が正常に動作するフラッシュメモリを提供することにある。

【0021】また、本発明の他の目的は、メモリセクタから読み出された情報データと検査データを外部へ出力することによって、検査データが正しく発生できているかを検査でき、信頼性の高いフラッシュメモリを提供することにある。

【0022】

【課題を解決するための手段】本発明の第1のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、外部からの書き込みデータ入力命令を受け書き込みデータ入力命令信号を発生し、外部からの書き込み命令を受け書き込み命令信号を発生するコマンドインターフェイスと、外部から入力される第1の信号を受け取る第1の信号バッファと、前記書き込み命令信号によって活性化され、制御信号を発生する制御信号発生回路と、前記書き込みデータ入力命令信号によって活性化され、外部から入力される書き込みデータを前記第1の信号に同期して受け取るデータ入力バッファと、前記書き込みデータ入力命令信号によって活性化され、前記第1の信号に同期して前記書き込みデータを受け取り、前記書き込み命令によって活性化され、前記制御信号に同期して誤り訂正のための検査データを発生する誤り訂正回路と、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記書き込みデータ入力命令信号によって活性化され、前記第1の信号に同期して前記アドレスデータに基づいてあらかじめ決められた順にアドレス信号を発生し、前記書き込み命令信号によって活性化され、前記制御信号に同期してあらかじめ決められた順にアドレス信号を発生するアドレス信号発生回路と、各々が各々のメモリセルに対して設けられ、各々は割り付けられたアドレス信号を受けて前記書き込みデータあるいは検査データを取り込み一時記憶する複数の

データ記憶回路と、前記書き込み命令によって活性化され、前記複数のデータ記憶回路に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段とを備えたことを特徴とする。

【0023】さらに、第1のフラッシュメモリの望ましい実施態様として、(1)前記書き込み命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路を備えるようにしてもよい。

【0024】本発明の第2のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、制御信号を発生する制御信号発生回路と、外部から入力される第1の信号を受け取る第1の信号バッファと、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記制御信号に同期してあらかじめ決められた順にアドレス信号を発生し、前記第1の信号に同期して前記アドレスデータに基づいてあらかじめ決められた順にアドレス信号を発生するアドレス信号発生回路と、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、各々は割り付けられたアドレス信号を受けて一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記データ出力バッファから出力されるデータが誤りであるか否かを前記第1の信号に同期して判断して訂正する誤り訂正回路とを備えたことを特徴とする。

【0025】さらに、第2のフラッシュメモリの望ましい実施態様を、以下の(1)～(4)のようにしてもよい。

【0026】(1)外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化され、メモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに備える。

【0027】(2)前記誤り訂正回路はメモリセルから読み出したデータのうち複数のデータの訂正可能であり、前記ステータス出力手段は誤りの数を出力可能である。

【0028】(3)前記誤り訂正回路はメモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、

前記ステータス出力手段は誤り訂正可能か否かを出力可能である。

【0029】(4) メモリセルからのデータの読み出しおよびメモリセルから読み出されたデータを前記誤り訂正回路が受け取る期間にわたって連続してビジー信号を外部へ出力するビジー信号出力回路をさらに備える。

【0030】本発明の第3のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、外部からの訂正読み出し命令を受け訂正読み出し命令信号を発生するコマンドインターフェイスと、前記訂正読み出し命令信号によって活性化され、制御信号を発生する制御信号発生回路と、外部から入力される第1の信号を受け取る第1の信号バッファと、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記第1の信号に同期して前記アドレスデータに基づいて予め決められた順にアドレス信号を発生し、前記訂正読み出し命令信号によって活性化され、前記制御信号に同期して予め決められた順にアドレス信号を発生するアドレス信号発生回路と、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、各々は割り付けられたアドレス信号を受けて一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、前記第1の信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを備えたことを特徴とする。

【0031】さらに、第3のフラッシュメモリの望ましい実施態様を、以下の(1)～(4)にしてもよい。

【0032】(1) 前記コマンドインターフェイスは、外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生し、さらに、前記ステータス読み出し命令信号によって活性化され、メモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段と、を備える。

【0033】(2) 前記誤り訂正回路はメモリセルから読み出したデータのうちの複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能である。

【0034】(3) 前記誤り訂正回路はメモリセルから読み出したデータのうちの n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能である。

【0035】(4) メモリセルからのデータの読み出し期間にビジー信号を外部へ出力し、かつ、前記訂正読み出し命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに備える。

【0036】本発明の第4のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、外部からの書き込みデータ入力命令を受け書き込みデータ入力命令信号を発生し、外部からの書き込み命令を受け書き込み命令信号を発生するコマンドインターフェイスと、外部から入力される第1の信号を受け取る第1の信号バッファと、前記書き込み命令信号によって活性化され、制御信号を発生する制御信号発生回路と、前記書き込みデータ入力命令信号によって活性化され、外部から入力される書き込みデータを前記第1の信号に同期して受け取るデータ入力バッファと、前記書き込みデータ入力命令信号によって活性化され、前記第1の信号に同期して前記書き込みデータを受け取り、前記書き込み命令によって活性化され、前記制御信号に同期して誤り訂正のための検査データが発生する誤り訂正回路と、各々が各々のメモリセルに対して設けられ、前記第1の信号および前記制御信号に同期して前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路と、前記書き込み命令によって活性化され、前記複数のデータ記憶回路に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段とを備えることを特徴とする。

【0037】さらに、第4のフラッシュメモリの望ましい実施態様として、(1) 前記書き込み命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに備えるようにしてもよい。

【0038】本発明の第5のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、制御信号を発生する制御信号発生回路と、外部から入力される第1の信号を受け取る第1の信号バッファと、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記制御信号および前記第1の信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の信号に同期して、前記複

数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記データ出力バッファから出力されるデータが誤りであるか否かを前記第1の信号に同期して判断して訂正する誤り訂正回路と、を備えることを特徴とする。

【0039】さらに、第5のフラッシュメモリの望ましい実施態様として、以下の(1)～(4)のようによい。

【0040】(1) 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化され、メモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに備える。

【0041】(2) 前記誤り訂正回路はメモリセルから読み出したデータのうち複数のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能である。

【0042】(3) 前記誤り訂正回路はメモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能である。

【0043】(4) メモリセルからのデータの読み出しおよびメモリセルから読み出されたデータを前記誤り訂正回路が受け取る期間にわたって連続してビジー信号を外部へ出力するビジー信号出力回路をさらに備える。

【0044】本発明の第6のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、外部からの訂正読み出し命令を受け訂正読み出し命令信号を発生するコマンドインターフェイスと、前記訂正読み出し命令信号によって活性化され、制御信号を発生する制御信号発生回路と、外部から入力される第1の信号を受け取る第1の信号バッファと、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記第1の信号および前記制御信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、前記第1の信号に同期して前記複数のデータ記憶回路から出力される

メモリセルから読み出したデータを受け取り、前記制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを備えることを特徴とする。

【0045】さらに、第6のフラッシュメモリの望ましい実施態様として、以下の(1)～(4)のようによい。

【0046】(1) 前記コマンドインターフェイスは、外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生し、さらに、前記ステータス読み出し命令信号によって活性化され、メモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とを備える。

【0047】(2) 前記誤り訂正回路はメモリセルから読み出したデータのうち複数のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能である。

【0048】(3) 前記誤り訂正回路はメモリセルから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能である。

【0049】(4) メモリセルからのデータの読み出し期間にビジー信号を外部へ出力し、かつ、前記訂正読み出し命令信号に従ってビジー信号を外部へ出力するビジー信号出力回路をさらに備える。

【0050】本発明の第7のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、外部から入力される第1の信号を受け取り、第1の期間に第1の制御信号を出力する信号バッファと、前記第1の期間とは異なる第2の期間に、自動的に第2の制御信号を発生する制御信号発生回路と、外部から入力される書き込みデータを前記第1の信号に同期して受け取るデータ入力バッファと、前記第1の制御信号に同期して前記書き込みデータを受け取り、前記第2の制御信号に同期して誤り訂正のための検査データを発生する誤り訂正回路と、各々が各々のメモリセルに対して設けられ、前記第1の制御信号および前記第2の制御信号に同期して前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路と、前記複数のデータ記憶回路に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段とを備えることを特徴とする。

【0051】さらに、第7のフラッシュメモリの望ましい実施態様として、(1) 前記第2の期間にビジー信号を外部へ出力するビジー信号出力回路をさらに備えるようにしてもよい。

【0052】本発明の第8のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、第1の期間に自動的に第1の制御信号を発生する制御信号発生回路と、外部から入力される第1の信号を受け取り、第2の制御信号を前記第1の期間とは異なる第2の期間に出力する信号バッファと、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記第1の制御信号および前記第2の制御信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第2の信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、前記第1の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記第2の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを備えることを特徴とする。

【0053】さらに、第8のフラッシュメモリの望ましい実施態様として、以下の(1)～(4)のようになっている。

【0054】(1) 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化され、メモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに備える。

【0055】(2) 前記誤り訂正回路は、メモリセルから読み出したデータのうちの複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能である。

(3) 前記誤り訂正回路は、メモリセルから読み出したデータのうちの n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能である。

【0056】(4) メモリセルからのデータの読み出しおよびメモリセルから読み出されたデータを前記誤り訂正回路が受け取る期間にわたって連続してビジー信号を外部へ出力するビジー信号出力回路をさらに備える。

【0057】本発明の第9のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイと、外部から入力される第1の信号を受け取り、第1の期間に第1の制御信号を出力する信号バッファ

と、前記第1の期間とは異なる第2の期間に、自動的に第2の制御信号を発生する制御信号発生回路と、外部から入力されるアドレスデータを受け取るアドレスバッファと、前記アドレスデータに基づいて前記メモリセルアレイ中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルからデータを読み出す読み出し手段と、各々が各々のメモリセルに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルから読み出されたデータを一時記憶し、前記第1の制御信号および前記第2の制御信号に同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路と、前記第1の制御信号に同期して、前記複数のデータ記憶回路から出力されるメモリセルから読み出されたデータを外部へ出力するデータ出力バッファと、前記第1の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、前記第2の制御信号に同期して前記複数のデータ記憶回路から出力されるメモリセルから読み出したデータを受け取り、メモリセルから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路とを備えることを特徴とする。

【0058】さらに、第9のフラッシュメモリの望ましい実施態様として、以下の(1)～(4)のようになっている。

【0059】(1) 外部からのステータス読み出し命令を受けステータス読み出し命令信号を発生するコマンドインターフェイスと、前記ステータス読み出し命令信号によって活性化され、メモリセルから読み出されたデータに誤りがあったか否かを前記データ出力バッファを介して出力するステータス出力手段とをさらに備える。

【0060】(2) 前記誤り訂正回路はメモリセルから読み出したデータのうちの複数個のデータを訂正可能であり、前記ステータス出力手段は誤りの数を出力可能である。

【0061】(3) 前記誤り訂正回路はメモリセルから読み出したデータのうちの n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段は誤り訂正可能か否かを出力可能である。

【0062】(4) メモリセルからのデータの読み出し期間にビジー信号を外部へ出力し、かつ、前記第2の期間にビジー信号を外部へ出力するビジー信号出力回路をさらに備える。

【0063】本発明の第10のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、ビジー信号を外部へ出力するビジー信号出力回路と、外部から入力される各々のメモリセルに書き込む書き込みデータを受け取るデータ入力バッファと、前記書き込みデータを一時記憶する n ビット記憶可能な複数の

データ記憶回路と、 $m1$ ビット ($m1 < n$) の書き込みデータを取り込み $m2$ ビット ($m1 + m2 < n$) の検査データを発生し、前記 $m2$ ビットの検査データを発生した後、 $m3$ ビット ($m1 + m2 + m3 < n$) の書き込みデータを取り込み $m4$ ビット ($m1 + m2 + m3 + m4 \leq n$) の検査データを発生する誤り訂正回路とを備え、 $m2$ ビットの検査データは、 $m1$ ビットの書き込みデータが前記複数のデータ記憶回路に入力されて後、前記複数のデータ記憶回路に入力されて一時記憶され、 $m4$ ビットの検査データは、 $m3$ ビットの書き込みデータが前記複数のデータ記憶回路に入力された後に前記複数のデータ記憶回路に入力されて一時記憶され、前記複数のデータ記憶回路に一時記憶された $m1$ および $m3$ ビットの書き込みデータと $m2$ および $m4$ ビット検査データは、 $m4$ ビットの検査データが前記複数のデータ記憶回路に一時記憶された後に前記メモリセクタに書き込まれ、前記誤り訂正回路が前記 $m2$ ビットの検査データを発生する時に前記ビジー信号出力回路からビジー信号を外部へ出力することを特徴とする。

【0064】本発明の第11のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、ビジー信号を外部へ出力するビジー信号出力回路と、前記メモリセクタから読み出しデータを読み出し、誤った読み出しデータを特定する誤り訂正回路とを備え、前記メモリセクタから読み出しデータを読み出す期間と前記誤り訂正回路が誤った読み出しデータを特定する期間とにわたって前記ビジー信号出力回路から連続してビジー信号を外部へ出力することを特徴とする。

【0065】本発明の第12のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、前記メモリセクタから読み出された読み出しデータを外部へ出力するデータバッファと、前記データバッファから読み出しデータを出力すると同時に、読み出しデータから誤った読み出しデータを特定するために読み出しデータが入力される誤り訂正回路とを備え、前記誤り訂正回路は、再度データバッファから読み出しデータが外部へ出力される時に、誤った読み出しデータを訂正することを特徴とする。

【0066】さらに、第12のフラッシュメモリの望ましい実施態様として、以下の(1)～(2)のようによ

【0067】(1) 誤りの状態を外部へ出力するステータス出力回路をさらに備える。

【0068】(2) 前記メモリセクタから読み出された読み出しデータを一時記憶する複数のデータ記憶回路をさらに備える。

【0069】本発明の第13のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前

記検査データを読み出す手段と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路とを備え、前記誤り訂正回路は、少なくとも1つ以上の所定のメモリセルに記憶される情報データを予め決められたダミーデータに置き換えて前記検査データを発生し、前記所定のメモリセルから読み出された情報データを前記ダミーデータに置き換えて前記情報データを訂正することを特徴とする。

【0070】本発明の第14のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、所定の n ビット情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記 n ビットの情報データと前記検査データを読み出す手段と、前記 n ビットの情報データから前記検査データを発生し、前記 n ビットの情報データと前記検査データから前記 n ビットの情報データの誤り訂正をする誤り訂正回路とを備え、前記誤り訂正回路は、外部から入力される前記情報データが m ビット ($m < n$) の場合に予め決められた $(n - m)$ ビットのダミーデータを情報データとして実効的に付加し、前記検査データを発生することを特徴とする。

【0071】本発明の第15のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前記検査データを読み出す手段と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、外部へ誤り訂正して前記情報データを出力するか外部へ誤り訂正しないで前記情報データを出力するかを選択するスイッチ回路とを備えたことを特徴とする。

【0072】本発明の第16のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前記検査データを読み出す手段と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、前記誤り訂正回路を活性化するか非活性化するかを選択するスイッチ回路とを備えたことを特徴とする。

【0073】本発明の第17のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、複数の前記メモリセクタで構成されるメモリセルアレイと、情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前記検査データを読み出す手段と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、電源投入にともなって自動的に所定のメモリセク

タのデータを読み出す手段とを備えたことを特徴とする。

【0074】本発明の第18のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、第1の情報データと第1の検査データを前記メモリセクタの各々のメモリセルに1ビットづつに書き込み、その後、書き込まれた第1の情報データと書き込まれた第1の検査データと第2の情報データと第2の検査データをもとに前記メモリセクタの各々のメモリセルにさらに1ビットづつに書き込み、1つのメモリセルに2ビットのデータを書き込む多値書き込み手段と、前記メモリセクタから前記第1の情報データと前記第1の検査データを読み出し、前記メモリセクタから前記第2の情報データと前記第2の検査データを読み出す多値読み出し手段と、前記第1の情報データから前記第1の検査データを発生し、前記第2の情報データから前記第2の検査データを発生し、前記第1の情報データと前記第1の検査データから前記1情報データの誤りを訂正し、前記第2の情報データと前記第2の検査データから前記2情報データの誤りを訂正する誤り訂正回路とを備え、前記誤り訂正回路は、BCH符号に基づいて検査データの発生及び誤り訂正を行うことを特徴とする。

【0075】また、本発明の第19のフラッシュメモリは、複数のフラッシュメモリセルで構成されるメモリセクタと、前記メモリセクタを消去し、全てのメモリセルのデータを“1”にする消去回路と、情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前記検査データを読み出す手段と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路とを備え、前記誤り訂正回路は、全て“1”の情報データから全て“1”の検査データを発生することを特徴とする。

【0076】本発明の第20のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、外部から入力される情報データから誤り訂正のための検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、各々が各々のメモリセルに対して設けられる複数のデータ記憶回路と、前記複数のデータ記憶回路に一時記憶されている情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前記検査データを前記複数のデータ記憶回路に読み出す手段と、前記複数のデータ記憶回路に記憶されているメモリセクタから読み出された情報データおよび検査データを外部へ出力する手段とを備えたことを特徴とする。

【0077】本発明の第21のフラッシュメモリは、複数のフラッシュメモリセルから構成されるメモリセクタと、外部から入力される情報データから誤り訂正のため

の検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路と、各々が各々のメモリセルに対して設けられる複数のデータ記憶回路と、前記複数のデータ記憶回路に一時記憶されている情報データと検査データを前記メモリセクタに書き込む手段と、前記メモリセクタから前記情報データと前記検査データを前記複数のデータ記憶回路に読み出す手段とを備え、前記複数のデータ記憶回路に記憶されているデータを、外部から情報データが入力される前に所定のデータにリセットすることを特徴とする。

【0078】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0079】＜第1の実施の形態＞図1は、本発明の第1の実施の形態に係るフラッシュメモリの構成を示すブロック図である。

【0080】複数の端子1は、外部からの電源や信号を受けたり、あるいは信号を外部へ出力するためのものである。これらの端子1のうち、VCC端子は電源電圧VCCを受け、VSS端子は接地され、nCE端子はチップ・イネーブル信号nCEを受け、nWE端子はライト・イネーブル信号nWEを受け、CLE端子はコマンド・ラッチ・イネーブル信号CLE号を受け、ALE端子はアドレス・ラッチ・イネーブル信号ALEを受け、nRE端子はリード・イネーブル信号nREを受け、ECCENB端子は誤り訂正回路活性化信号ECCENBを受ける。

【0081】nBUSY端子はビジー信号nBUSYを出力し、D0端子～D7端子は、書き込みデータ、コマンドデータ、アドレスデータなどの入力データD0～D7を受け、読み出しデータ、ステータスデータなどの出力データD0～D7を出力する。

【0082】前記ライト・イネーブル信号nWE、コマンド・ラッチ・イネーブル信号CLE、アドレス・ラッチ・イネーブル信号ALE、リード・イネーブル信号nRE、入力データD0～D7は、チップ・イネーブル信号nCEが“L”の場合に受け付けられ、出力データD0～D7は、チップ・イネーブル信号nCEが“L”の時に出力される。

【0083】なお、前記VCC端子から各内部回路に供給される電源線や前記VSS端子から各内部回路に供給される接地線は、表示が煩雑になるので図示を省略した。

【0084】パワーオン検出回路2は、電源電圧VCCが十分に高い電圧レベルであるかを検出し、十分なレベルであればパワーオン検出信号PONを“H”にする。

【0085】コマンドインターフェイス3は、チップ・イネーブル信号nCE=“L”、コマンド・ラッチ・イネーブル信号CLE=“H”の時、ライト・イネーブル信号nWEが“L”から“H”に移移するタイミングで入力されるデータD0～D7をコマンドデータとして受け取り、読み出し命令信号READ、データラッチ読み出し命令信号DLREAD、計算命令信号CALC、データ出力命令信号OUTPUT、ステータス

読み出し命令信号STATUS、倍速書き込み命令DOUBLE信号、データ入力命令信号INPUT、検査データ発生命令信号CHKGEN、書き込み命令信号PRO、消去命令信号ERASEなどを出力する。また、読み出し、書き込みなどを内部で処理していることを外部へ伝えるために、前記ビジー信号nBUSYをnBUSY端子から出力する。

【0086】アドレスバッファ4は、チップ・イネーブル信号nCE="L"、アドレス・ラッチ・イネーブル信号ALE="H"の時、ライト・イネーブル信号nWEが"L"から"H"に遷移するタイミングで入力されるデータD0~D7をアドレスデータとして受け取り、ロウアドレスデータAd₀₋₁₂とAddZ、カラムアドレス初期データAdd_{y_init}0-9を出力する。

【0087】データ入出力バッファ5は、データ入力命令信号INPUTを受けて、チップ・イネーブル信号nCE="L"、アドレス・ラッチ・イネーブル信号ALE="L"、コマンド・ラッチ・イネーブル信号CLE="L"の時、ライト・イネーブル信号nWEが"L"から"H"に遷移するタイミングで入力されるデータD0~D7を書き込みデータとして受け取る。

【0088】また、データ入出力バッファ5は、データ出力命令信号OUTPUTを受けて、チップ・イネーブル信号nCE="L"の時、リード・イネーブル信号nREが"H"から"L"に遷移するタイミングで読み出しデータD0~D7の出力を開始する。さらに、ステータス読み出し命令信号STATUSを受けて、信号nCE="L"の時、信号nREが"H"から"L"に遷移するタイミングでステータスデータD0~D7の出力を開始する。

【0089】D0端子~D7端子から入力する書き込みデータは、データ入出力バッファ5で反転させられて、さらに信号線DL₀₋₇を介してIOバッファ6で再度反転させられて信号線IO₀₋₇を介してカラム制御回路15に入力される。

【0090】読み出しデータは、信号線IO₀₋₇を介してIOバッファ6で反転させられて信号線DL₀₋₇に出力され、データ入出力バッファ5で再度反転させられてD0端子~D7端子から出力される。なお、前記信号線DL₀₋₇は誤り訂正回路11に接続されている。

【0091】誤り訂正制御信号発生回路7は、カラムアドレス初期データAdd_{y_init}0-9、データラッチ読み出し命令信号DLREAD、計算命令信号CALCなどで制御され、誤り訂正制御信号ECCLKを発生する機能を有する。

【0092】出力制御信号発生回路8は、リード・イネーブル信号nREとデータ出力命令信号OUTPUTなどで制御され、このリード・イネーブル信号nREに同期して出力制御信号OUTCLKを出力する機能を有する。

【0093】検査データ発生制御信号発生回路9は、カラムアドレス信号CSLa₅₂₇、CSLb₅₂₇や検査データ発生命令信号CHKGENなどで制御され、検査データ発生制御信号CCCLKを発生する機能を有する。

【0094】入力制御信号発生回路10は、データ入力命令信号INPUTやライト・イネーブル信号nWEなどで制御され、この信号nWEに同期して入力制御信号INCLKを発生する機能を有する。

【0095】誤り訂正回路11は、データ入力命令信号INPUTを受けて入力制御信号INCLKに同期して信号線DL₀₋₇から書き込みデータを取り込み、検査データ発生命令信号CHKGENを受けて検査データ発生制御信号CCCLKに同期して検査データとバリディデータを信号線DL₀₋₇に出力する機能を有する。

【0096】また、誤り訂正回路11は、データラッチ読み出し命令信号DLREADを受けて誤り訂正制御信号ECCLKに同期して信号線DL₀₋₇から読み出しデータを取り込み、さらに計算命令信号CALCを受けて誤り訂正制御信号ECCLKに同期して読み出しデータの誤り検出を行う機能を有する。

【0097】また、誤り訂正回路11は、データ出力命令信号OUTPUTを受けて出力制御信号OUTCLKに同期して誤ったデータを訂正する機能を有し、ステータス読み出し命令信号STATUSを受けて誤り訂正回路のステータスを信号線DL₀₋₇に出力する機能を有する。

【0098】この誤り訂正回路11は、カラムアドレス信号CSLa₅₂₇、CSLb₅₂₇、CSLa₅₁₆、CSLb₅₁₆、カラムアドレス初期データAdd_{y_init}0-9などでも制御される。

【0099】そして、メモリセルアレイ12およびそれに対応してソース・ウェル制御回路13、ロウ制御回路14、カラム制御回路15、カラムアドレス発生回路16が設けられている。

【0100】ここで、ソース・ウェル制御回路13は、メモリセルアレイ12のソース線SRCとメモリセルアレイ12が形成されるウェルOWELLを制御するものである。

【0101】また、ロウ制御回路14は、メモリセルアレイ12のワード線WLと選択ゲート線SGを制御するものである。また、カラム制御回路15は、メモリセルアレイ12のビット線BLを制御するのである。また、カラムアドレス発生回路16は、アドレス信号AddZやAdd_{y_init}0-9と誤り訂正制御信号ECCLK、出力制御信号OUTCLK、検査データ発生制御信号CCCLK、入力制御信号INCLKなどで制御され、これらの制御信号に同期して予め決められた順にカラムアドレス信号CSLを発生するものである。

【0102】本例では、前記メモリセルアレイ12と前記各回路13、14、15、16は2個づつが設けられており、この2組のうち的一方がアドレス信号AddZで選択される。例えばアドレス信号AddZ="L"でメモリセルアレイAおよびそれに対応する回路13、14、15、16が選択され、アドレス信号AddZ="H"でメモリセルアレイBおよびそれに対応する回路13、14、15、16

が選択される。

【0103】図2は、図1中のメモリセルアレイ12の1個分(メモリセルアレイA)とそれに対応するカラム制御回路15の1個分を取り出してより詳細な構成を示している。

【0104】このメモリセルアレイ12は、同一ウェルCWE1Laに形成されたNAND型メモリセルユニットのアレイを用いている。NAND型メモリセルユニットは、フローティングゲートと制御ゲートが積層された形を有するセルトランジスタMが例えば4個直列に接続され、その両端に選択トランジスタSが接続されており、このNANDセルユニットの一端はビット線BLa_{8j}~BLa_{8j+7}のいずれか1本に接続され、他端は共通ソース線SRCaに接続される。

【0105】ここで、同一行のセルトランジスタMの集まりを1ページと称し、連続する4ページの集まりを1ブロックと称する。そして、ある1ブロックにおける4個のセルトランジスタMに対応するワード線をWLa₀~WLa₃、SG1a₀はNANDセルユニットの一端側の選択トランジスタSの選択ゲート線をSG1a₀、NANDセルユニットの他端側の選択トランジスタSの選択ゲート線をSG2a₀で示している。

【0106】カラム制御回路15は、上記メモリセルアレイ12のビット線BLa_{8j}~BLa_{8j+7}に接続されるデータ記憶回路17を含む。このデータ記憶回路17は、カラムアドレス信号CSLa_jで選択された時、それぞれが接続される信号線IQ₀₋₇と電気的に接続され、選択されたメモリセルMに書き込むためのデータを一時記憶したり、選択されたメモリセルMから読み出された読み出しデータを一時記憶したりするものである。

【0107】なお、図2のメモリセルアレイ12において、ビット線BLa_{8j}~BLa_{8j+7}、カラム選択線CSLa_jの添え字jは0から548である。よって、ビット線BLaはBLa₀からBLa₄₃₉₁までであり、カラム信号CSLaはCSLa₀からCSLa₅₄₈までである。なお、メモリセルアレイB *

*も同様な構成である。

【0108】次に、図2のメモリセルアレイ12の動作を簡単に説明する。

【0109】(a)データの消去はブロック単位で行われ、選択されたブロックの全ワード線(例えばWLa₀~WLa₃)は0V、非選択ブロックのワード線は全て20Vにされる。この時、ウェルCWE1Laは20Vとされ、メモリセルの閾値は0V以下となってデータは"11"にリセットされる。

【0110】(b)データの書き込みはページ単位で行われる。ここでは、1つのメモリセルMが4値記憶するものとする。ロウアドレスデータAddX₀が"L"であるメモリセルMが選択され、書き込みデータ"0"か"1"が記憶され、メモリセルのデータは"10"か"11"となる。

【0111】ロウアドレスデータAddX₁~AddX₁₂が同じなら、同一のメモリセルMが選択され、もともと"10"を記憶しているメモリセルに"0"を書くとき"00"となる。もともと"10"を記憶しているメモリセルに"1"を書くとき"10"となる。もともと"11"を記憶しているメモリセルに"0"を書くとき"01"となる。もともと"11"を記憶しているメモリセルに"1"を書くとき"11"となる。

【0112】なお、書き込みの時は、選択ワード線が20Vにされ、非選択ワード線は10Vにされる。書き込みデータ"1"を書く時は、ビット線をVCCにし、"0"を書く時はビット線を0Vにする。選択ゲート線SG1はVCC、選択ゲート線SG2は0Vである。非選択ブロックのワード線、選択ゲート線はすべて0Vである。なお、書き込み動作と書き込みベリファイ動作を繰り返しながら書き込みを行うことにより、メモリセルの閾値の制御は良くなる。

【0113】表1は、データとメモリセルMの閾値の関係を示す。

【0114】

【表1】

メモリセルのデータ		メモリセルの閾値
AddX ₀ ="H"	AddX ₀ ="L"	
1	1	0V以下
1	0	0.3V~0.6V
0	1	1.2V~1.5V
0	0	2.1V~2.4V

【0115】(c)データの読み出しは、ページ単位で行われ、全選択ゲート線を4V、選択ワード線を0Vあるいは0.9Vあるいは1.8V、非選択ワード線を4Vにする。非選択ブロックの全選択ゲート、全ワード線は0Vである。

【0116】選択ワード線を0Vにしてセル電流が流れ

れば、ビット線電圧レベルが"L"となり"11"が読める。同様に、選択ワード線を0.9Vにして"10"を読み出すことができ、選択ワード線を1.8Vにして"01"と"00"を読み出すことができる。

【0117】表2は、選択ブロックの各動作の電圧関係を示す。

【0118】

* * 【表2】

	消去	書き込み	読み出し
ビット線BL	20V	VCC/0V	H/L
選択ゲート線SG1	20V	VCC	4V
選択ワード線WL	0V	20V	0.0V/0.9V/1.8V
非選択ワード線WL	...	10V	4V
選択ゲート線SG2	20V	0V	4V
ソース線SRC	20V	VCC	0V
ウェルCWell	20V	0V	0V

【0119】ここで、ページとは、図2に示された同一行の4392個のメモリセルMの集まりを示す物理的な単位であり、論理的な書き込み・読み出し単位は、4392ビットのメモリセクタである。この例では、物理的な1ページに論理的な2メモリセクタのデータが書き込まれる、あるいは物理的な1ページから論理的な2メモリセクタのデータが読み出される。つまり、ロウアドレスデータAddx_0~Addx_12とロウアドレスデータAddzで指定するのは、メモリセクタのアドレスである。よって、消去の物理的な単位はブロックであって、物理的な4ページで構成され、論理的な8メモリセクタで構成される。

【0120】図3は、図1に示したような構成のフラッシュメモリが用いられているシステムの構成図である。

【0121】フラッシュメモリ20は、CPU（中央演算装置）21によって制御される。CPU21は、キャッシュメモリ22やその他キーボード、ディスプレイなどの制御をする。フラッシュメモリ20、CPU21、キャッシュメモリ22には共通に電源電圧VCCが供給される。

【0122】このシステムでは、システム全体を制御するためのプログラムがフラッシュメモリ20に格納されている。このシステムの電源投入による電源電圧VCCの立ち上がり時に、フラッシュメモリ20は自動的に所定の番地のデータを読み出す。CPU21は、電源立ち上がり時にフラッシュメモリ20からデータを読み出すが、この読み出したデータにはフラッシュメモリ20を制御するためのコードが入っている。

【0123】CPU21は、上記コードをキャッシュメモリ22に格納し、フラッシュメモリ20を制御してシステム全体を制御するプログラムを読み出し、システムを制御する。フラッシュメモリ20は自動的に誤り訂正をするので、CPU21はフラッシュメモリ20からデータを読み出すだけでよい。もし、フラッシュメモリ20が自動的に誤り訂正できないと、CPU21が誤り訂正するしかないが、フラッシュメモリ20を制御するためのコードはフラッシュメモリ20に格納されているので、このコードだけは誤り訂正できない。

【0124】図4は、図1中の誤り訂正回路11において、情報データ（外部入力である書き込みデータ）から検査データを発生する部分（検査データ発生回路）を示す。この回路は、主に、D0~D19、Pで示した21個のシフトレジスタ18と9個の論理演算回路19から構成される。

【0125】図5(a)は、図4中のシフトレジスタ18の1個分（Dで示されている）を取り出して構成を示している。

【0126】このシフトレジスタは、クロック信号Φとその反転信号nΦからなる相補的な信号で駆動され、クロック信号Φが“L”→“H”→“L”となる（クロック信号Φを1サイクル回す）ことでラッチデータを出力し、また入力信号を取り込みラッチする。このクロック信号Φは、検査データ発生制御信号CCCLKや入力制御信号INCLKに同期した信号である。

【0127】図5(b)は、図4中の論理演算回路19の1個分の構成を示している。

【0128】この論理演算回路は、2つの入力INIとIN2を演算してOUTを出力する。

【0129】図1中のD0端子~D7端子から入力された書き込みデータは、データ入出力バッファ5で論理が反転させられて信号線DL_0~DL_7に出力される。この各信号線DL_0~DL_7に対応して図4の検査データ発生回路が図1中の誤り訂正回路に設けられている。

【0130】クロック信号Φを1サイクル回すとともに1ビットの書き込みデータを図4の検査データ発生回路に取り込み、クロック信号Φの528サイクル後にD0~D19で示したシフトレジスタ18に20ビットの検査データを発生させる。また、Pで示したシフトレジスタ18にはパリティデータが発生する。

【0131】D0~D19で示したシフトレジスタ18に発生した検査データは、スイッチSW3をオンにしてクロック信号Φを1サイクル回す度に各信号線DL_0~DL_7に1ビットずつ発生する。

【0132】検査データを20ビット発生した後、スイッチSW5をオンにしてクロック信号Φを1サイクル回すと、各信号線DL_0~DL_7にパリティデータが1ビット発

生する。よって、クロック信号Φを549サイクル回すことで、D0端子～D7端子に入力された528ビットのデータから20ビットの検査データと1ビットのバリティデータを発生する。このように発生した検査データとバリティデータは、信号線DL₀～DL₇に出力され、図2に示したカラム制御回路15中のデータ記憶回路17に送られ、書き込みデータとともに選択されたメモリセクタに書き込まれる。

【0133】全て“1”の書き込みデータ（信号線DL₀～DL₇上では“0”の書き込みデータ）から発生させられる検査データとバリティデータは全て“1”である。よって、消去した状態は、全て“1”の書き込みデータと、それから発生した検査データとバリティデータを書き込んだ状態と等価である。

【0134】上記検査データ発生回路では、2重誤り訂正BCH(1023,1003)符号に基づいて検査データを発生するものであり、いわゆる生成多項式G(x)は、 $G(x) = x^{1023} + x^{1022} + x^{1021} + x^{1020} + x^{1019} + x^{1018} + x^{1017} + x^{1016} + x^{1015} + x^{1014} + x^{1013} + x^{1012} + x^{1011} + x^{1010} + x^{1009} + x^{1008} + x^{1007} + x^{1006} + x^{1005} + x^{1004} + x^{1003} + x^{1002} + x^{1001} + x^{1000} + 1$ である。

【0135】1つのメモリセルに2ビットのデータが書き込まれるので、1つのメモリセルが破壊した場合に2ビットかたまりの誤りが生じる可能性が高い。しかし、この実施例では、それぞれのビットデータはそれぞれの検査データによって独立に訂正されるので、BCH符号のようなビット単位訂正方式で救済確率を落とすことがない。反対に、1ビット単位で不良を起こすメモリデバイスでは、リード・ソロモン符号のようなバースト不良訂正方式は、誤り訂正回路が複雑になるので好ましくない。

【0136】図6は、図1中の誤り訂正回路11での検査データとバリティデータの発生アルゴリズムを示している。

【0137】まず、ステップS1で、コマンドインターフェイス3にデータ入力命令（コマンド）として例えば16進コード“80H”が入力される。ステップS2で、アドレスバッファ4にアドレスデータが入力されて書き込みデータの入力が始まる。ステップS3で、データ入力開始カラムアドレスAdd_{col}_init_0～9をカラムアドレス発生回路16にある変数カラムアドレスレジスタAdd_{col}にセットし、この変数カラムアドレスレジスタAdd_{col}の内容にしたがってカラムアドレス信号CSLを発生する。

【0138】ステップS4で、D0～D19、Pで示したレジスタを“0”に、データ記憶回路17の書き込みデータを“1”にリセットする。ステップS5で、スイッチSW1をオンにし、スイッチSW3とSW5をオフにする。

【0139】次に、ステップS6で、D0端子～D7端子に入力された書き込みデータを取り込む。ステップS7で、変数カラムアドレスレジスタAdd_{col}の内容が516であると判定されれば、ステップS9でスイッチSW2とSW4をオフにし、変数カラムアドレスレジスタAdd_{col}の内容が

516でないと判定されれば、ステップS8でスイッチSW2とSW4をオンにする。

【0140】これによって、変数カラムアドレスレジスタAdd_{col}の内容が516の時は、誤り訂正回路11に書き込みデータ“1”が取り込まれることになる（DL_iのデータは反転データであるから）。つまり、カラムアドレス516のデータは誤り訂正から除外されることになる。

【0141】このことによって次のような利点がある。つまり、516番地のデータを後から追加で書き込むことができ、フラッシュメモリ20に記憶されているデータの管理上必要なフラグデータ（例えば不良セクタフラグなど）を後から追加で書き込むことができる。

【0142】次に、ステップS10で、書き込みデータを誤り訂正回路11に取り込んで検査データとバリティデータの演算を行う。つまり、クロック信号Φを1サイクル回す。この時、書き込みデータはカラムアドレス信号CSLが出力されてデータ記憶回路17にも記憶される。そして、ステップS11で、変数カラムアドレスレジスタAdd_{col}の内容を1つつ増加させて、カラムアドレスの順に書き込みデータを取り込む。ステップS12で、書き込み命令である例えば16進コード“10H”の入力が判定されるまで、ステップS6～S12の動作が繰り返される。

【0143】上記したステップS6～S12は、ライト・イネーブル信号nWEに同期して行われる。入力制御信号発生回路10でライト・イネーブル信号nWEに同期して入力制御信号INCLKが発生する。ライト・イネーブル信号nWEに同期して入力される書き込みデータは、誤り訂正回路11で入力制御信号INCLKに同期して発生させられるクロック信号Φにしたがって誤り訂正回路11に取り込まれ、同時に入力制御信号INCLKに同期して変数カラムアドレスレジスタAdd_{col}の内容にしたがって発生させられるカラムアドレス信号CSLの指示で選択されたデータ記憶回路17に一時記憶される。

【0144】前記ステップS12で、前記書き込み命令である16進コード“10H”の入力が判定されると、ステップS13で変数カラムアドレスレジスタAdd_{col}の内容が527より大きいかが判定する。この判定の結果、もし、変数カラムアドレスレジスタAdd_{col}の内容が527なら、ステップS14でスイッチSW2とSW4をオフにし、ステップS15で仮想的に“1”書き込みデータが入力されたとして検査データとバリティの演算を行い、ステップS16で変数カラムアドレスレジスタAdd_{col}の内容を1増加させて、ステップS13で再度変数カラムアドレスレジスタAdd_{col}の内容が527より大きいかが判定する。

【0145】この判定の結果、変数カラムアドレスレジスタAdd_{col}の内容が528であれば、さらに、ステップS17で変数カラムアドレスレジスタAdd_{col}の内容が548であるかが判定される。この判定の結果、もし、変数カラムアドレスレジスタAdd_{col}の内容が548でなければ

ば、ステップS18で、スイッチSW1とSW5をオフ、スイッチSW3とSW4をオンにして、ステップS19で検査データの出力とパリティ演算を行う。この時、変数カラムアドレスレジスタAdd_colの内容にしたがって検査データはデータ記憶回路17に一時記憶される。そして、ステップS20で、変数カラムアドレスレジスタAdd_colの内容を1つ増加させて、ステップS17で再度変数カラムアドレスレジスタAdd_colの内容=548か判断する。

【0146】この判定の結果、変数カラムアドレスレジスタAdd_colの内容=548となったら、ステップS21でスイッチSW3をオフ、スイッチSW5をオンにして、ステップS22でパリティデータを出力する。この時、変数カラムアドレスレジスタAdd_colの内容にしたがって検査データがデータ記憶回路17に一時記憶される。この後、ステップS23では、基本的にはデータ記憶回路17に記憶されている書き込みデータと検査データとパリティデータをメモリセクタに一括して書き込む。

【0147】なお、上記したようなステップS13～S22は検査データ発生制御信号CCCLKに同期して行われる。書き込み命令信号PROによって検査データ発生命令CHKGENが発生し、この検査データ発生命令CHKGENによって検査データ発生制御信号発生回路9で検査データ発生制御信号CCCLKが自動的に発生する。この検査データ発生制御信号CCCLKに同期して誤り訂正回路11から発生する検査データとパリティデータは、同時に検査データ発生制御信号CCCLKに同期して変数カラムアドレスレジスタAdd_colの内容にしたがって発生させられるカラムアドレス信号CSLの指示で選択されたデータ記憶回路17に一時記憶させられる。

【0148】図7は、メモリセルアレイ12の各アレイA、Bから1つつメモリセクタを選択して同時に2つのセクタにデータを書き込む動作のタイミングの一例を示している。

【0149】図8は、メモリセルアレイ12の各アレイA、Bから1つつメモリセクタを選択して1セクタだけデータを書き込む動作のタイミングの一例を示している。

【0150】まず、図7の動作タイミングについて説明する。コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号nWEの立ち上がりで、倍速書き込み命令として例えば16進コード"D0"が入力される。続いて、コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号nWEの立ち上がりで、図6のステップS1で述べたようにデータ入力命令として16進コード"80"が入力される。

【0151】続いて、アドレス・ラッチ・イネーブル信号ALEが"H"の期間に、図6のステップS2～S5で述べたように3回のアドレスデータが取り込まれる。ここでは、メモリセルアレイ12のセルアレイAのアドレスが

となり、図6のステップS6～S12で述べたように書き込みデータh0～h527が入力される。ライト・イネーブル信号nWEに同期して書き込みデータhが入力され、誤り訂正回路11で入力制御信号INCLKに同期して発生させられるクロック信号φにしたがって誤り訂正回路11に取り込まれ、同時にINCLKに同期して変数カラムアドレスレジスタAdd_colの内容にしたがって発生させられるカラムアドレス信号CSLの指示で選択されたデータ記憶回路17に一時記憶される。

【0152】書き込み命令である16進コード"D0"が入力されると、図6のステップS13～S22で述べたように書き込み命令信号PROが"H"となり、この書き込み命令信号PROによって検査データ発生命令信号CHKGENも"H"となる。この検査データ発生命令信号CHKGENによって検査データ発生制御信号CCCLKが発生し、この検査データ発生制御信号CCCLKに同期して誤り訂正回路11から発生する検査データとパリティデータは、同時にCCCLKに同期して変数カラムアドレスレジスタAdd_colの内容にしたがって発生させられるカラムアドレス信号CSLの指示で選択されたデータ記憶回路17に一時記憶される。

【0153】倍速書き込み命令である16進コード"D0"によって、実効的な書き込み（図6のステップS23）の書き込み動作は行われず、パリティデータがデータ記憶回路17に記憶されると、書き込み命令信号PROと検査データ発生命令信号CHKGENは"L"となって書き込み終了となる。書き込み命令信号PROと検査データ発生命令信号CHKGENが"H"の期間は、nBUSYが"L"となって外部にビジー状態（内部処理中）であることを伝える。

【0154】次に、図8の動作タイミングについて説明する。コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号nWEの立ち上がりで、図6のステップS1で述べたようにデータ入力命令である16進コード"80"が入力される。

【0155】続いて、アドレス・ラッチ・イネーブル信号ALEが"H"の期間に、図6のステップS2～S5で述べたように3回のアドレスデータが取り込まれる。ここでは、メモリセルアレイ12のセルアレイBのアドレスが

【0156】続いて、データ入力命令信号INPUTが"H"となり、図6のステップS6～S12で述べたように書き込みデータh3～h520が入力される。ライト・イネーブル信号nWEに同期して書き込みデータhが入力され、誤り訂正回路11でINCLKに同期して発生させられるクロック信号φにしたがって誤り訂正回路11に取り込まれ、同時に入力制御信号INCLKに同期して変数カラムアドレスレジスタAdd_colの内容にしたがって発生させられるカラムアドレス信号CSLの指示で選択されたデータ記憶回路17に一時記憶させられる。

【0157】書き込みデータh0～h2は入力されないが、

データ記憶回路17の書き込みデータは"1"にリセットされており、また、誤り訂正回路11では書き込みデータh0~h2が"1"であるとする、D0~D19で示したレジスタおよびPで示したレジスタの内容は、h2までの演算で変化しないので問題はない。つまり、実効的に書き込みデータh0~h2を"1"としている。

【0158】書き込み命令である16進コード"10"Hが入力されると、図6のステップS13~S22で述べたように書き込み命令信号PROが"H"となり、この書き込み命令信号PROによって検査データ発生命令信号CHKGENも"H"となる。この検査データ発生命令信号CHKGENによって検査データ発生制御信号CCCLKが発生し、外部から入力されなかった書き込みデータh521~h527の代わりにダミー書き込みデータ"1"を内部でCCCLKに同期して発生する。また、上記検査データ発生制御信号CCCLKに同期して誤り訂正回路11から発生する検査データとパリティデータは、同時にCCCLKに同期して変数カラムアドレスレジスタAdd_colの内容にしたがって発生させられるカラムアドレス信号CSLの指示で選択されたデータ記憶回路17に一時記憶させられる。

【0159】パリティデータがデータ記憶回路17に記憶されると、検査データ発生命令信号CHKGENは"L"となって書き込み動作になる。この例では、メモリセルアレイ12のセルアレイAとBの選択された2つのメモリセルに同時に書き込みが行われる。書き込み命令信号PROが"H"の期間は、nBUSYが"L"となって外部にビジー状態（内部処理中）であることを伝える。

【0160】図9は、誤り訂正回路11を非活性化したときのデータ書き込み動作のタイミングの一例を示している。まず、コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号rWEの立ち上がりで、誤り訂正非活性化命令として例えば16進コード"A0"Hが入力される。続いて、コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号rWEの立ち上がりで、データ入力命令として16進コード"80"Hが入力される。

【0161】続いて、アドレス・ラッチ・イネーブル信号ALEが"H"の期間に、3回のアドレスデータが取り込まれる。続いて、データ入力命令信号INPUTが"H"となり、書き込みデータh0~h548が入力される。書き込み命令である16進コード"10"Hが入力されると、書き込み命令信号PROが"H"となるが、検査データ発生命令信号CHKGENは"L"のままである。書き込み命令である16進コード"10"Hの投入後、直ぐに書き込み動作になる。

【0162】コマンドインターフェイス3は、誤り訂正回路11を活性化するか非活性化するかスイッチするのである。図1中のECCENB端子に入力される誤り訂正回路活性化信号ECCENBを"L"とすると、コマンドインターフェイス3は誤り訂正回路11を非活性化するようにスイッチされる。

【0163】図10は、誤り訂正回路活性化信号ECCENBを"L"とした時のデータ書き込み動作のタイミングの一例を示している。コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号rWEの立ち上がりで、データ入力命令として16進コード"80"Hが入力される。続いて、アドレス・ラッチ・イネーブル信号ALEが"H"の期間に、3回のアドレスデータが取り込まれる。続いて、データ入力命令信号INPUTが"H"となり、書き込みデータh0~h548が入力される。書き込み命令である16進コード"10"Hが入力されると、書き込み命令信号PROが"H"となるが、検査データ発生命令信号CHKGENは"L"のままである。書き込み命令である16進コード"10"Hの投入後、直ぐに書き込み動作になる。

【0164】なお、図8に示した動作タイミングでは、誤り訂正回路活性化信号ECCENBが"H"を示しており、図10に示した動作タイミングと同様に、データ入力命令"80"→アドレス入力→データ入力→書き込み命令"10"の流れで自動的に検査データが発生される。誤り訂正回路活性化信号ECCENBが"L"を示していると、図10に示した動作タイミングのように検査データは発生されない。

【0165】図11乃至図17は、図1中の誤り訂正回路11において、メモリセルから読み出されたデータから誤りの生じたデータを訂正・検出する部分を示している。

【0166】即ち、図11は、シンドロームS1、S2計算器の1個分を示しており、図12は、シンドロームS3の変換器の1個分を示しており、図13は、 $\sigma_1 (= S1 \times S1)$ 計算器の1個分を示しており、図14は、 $\sigma_2 (= S1 \times S1 \times S1 + S3)$ 計算器の1個分を示しており、図15は、 $\sigma_1 \rightarrow \lambda_1$ 変換器の1個分を取り出して示しており、図16は、 $\sigma_2 \rightarrow \lambda_2$ 変換器の1個分を取り出して示しており、図17は、誤り位置検出器の1個分を示している。

【0167】これらの回路は、主に、D0~D19、P、A0~A9、B0~B9、C0~C9で示した51個のシフトレジスタ18と複数の論理演算回路19から構成されており、各信号線DL0~DL7に対応してそれぞれ設けられている。

【0168】これらの回路は、メモリセルから読み出されたデータに対して2重誤り訂正BHC(1023,1003)符号に基づいて誤り訂正するものであり、いわゆる2つの最小多項式M1とM3は、

$$M1(x) = x^{1023} + x^9 + 1$$

$$M3(x) = x^{1023} + x^9 + x^4 + x + 1$$

である。

【0169】また、誤り訂正回路11の動作は、aとbとを"足して"cにすると、a、b、cはそれぞれ"0"か"1"であり、全ての演算結果は、下記に示すような演算である。

【0170】

【表3】

a	+	b	=	c
"0"	+	"0"	=	"0"
"0"	+	"1"	=	"1"
"1"	+	"0"	=	"1"
"1"	+	"1"	=	"0"

【0171】なお、誤り位置検出の準備が整うまで、誤り訂正制御信号発生回路7で発生させられる誤り訂正制御信号ECCLKに同期して動作が行われる。

【0172】図11に示すシンドロームS1、S3計算器は、主に、D0～D19、P、A0～A9で示した31個のシフトレジスタ18と複数の論理演算回路19から構成される。

【0173】データ記憶回路17へメモリセクタから読み出された読み出しデータは、IOバッファ6で論理が反転させられて信号線DL0～DL7に出力される。

【0174】D0～D19、Pで示したレジスタは、計算前に全て"0"にリセットされる、つまり初期値が"0"にされる。クロック信号φの548サイクル後にD0～D19で示したシフトレジスタ18に20ビットのシンドロームS1とS3を発生させる。また、Pで示したレジスタには、読み出しデータのバリティ計算結果が生じる。

【0175】誤り訂正制御信号ECCLKに同期してカラムアドレス信号CSLが発生させられ、クロック信号φの1サイクル目にカラムアドレス0番地の読み出しデータが取り込まれ、以下、順に2サイクル目にカラムアドレス1番地、...、548サイクル目にカラムアドレス547番地の読み出しデータが取り込まれる。

【0176】カラムアドレス516番地のサイクルでは、スイッチSW4とSW6とSW7がオフとなり、ダミーデータ"0"が取り込まれる。これは、検査データ発生時に516番地の書き込みデータをダミーデータ"0"として計算しているからである。

【0177】シンドロームS1はA0～A9で示したレジスタに記憶される。ここまでの計算で、D0～D9で示したレジスタにシンドロームS1、D10～D19で示したレジスタにシンドロームS3、A0～A9で示したレジスタにシンドロームS1、Pで示したレジスタに読み出しデータのバリティが記憶されている。

【0178】なお、図11に示したシンドロームS1、S3計算器で得られたシンドロームS3は、シンドロームS1と多項式表現の次数が異なっているので、図12に示すシンドロームS3の変換器により整合させる。

【0179】図12に示すシンドロームS3の変換器は、主に、B0～B9、C0～C9で示した20個のシフトレジスタ18と複数の論理演算回路19から構成されており、シンドロームS3をシンドロームS1に整合させるものである。

【0180】まず、STEP1では、Cで示したレジスタを全て"0"にリセットし、STEP2の演算を10回繰り返した時、Cで示したレジスタにS3の変換値が生じる。これを、D10～D19で示したレジスタに記憶させる。

【0181】ここまでの計算で、D0～D9で示したレジスタにシンドロームS1、D10～D19で示したレジスタにシンドロームS3、A0～A9で示したレジスタにシンドロームS1、Pで示したレジスタに読み出しデータのバリティが記憶されている。

【0182】図13に示すシンドロームS1×S1の計算器は、主に、B0～B9、C0～C9で示した20個のシフトレジスタ18と複数の論理演算回路19から構成されており、シンドロームS1×S1を計算させるものである。

【0183】まず、STEP1では、Cで示したレジスタを全て"0"にリセットし、STEP2の演算を10回繰り返した時、Cで示したレジスタにS1×S1が生じる。これを、D0～D9で示したレジスタに記憶させる。

【0184】ここまでの計算で、D0～D9で示したレジスタにS1×S1、D10～D19で示したレジスタにシンドロームS3、A0～A9で示したレジスタにシンドロームS1、Pで示したレジスタに読み出しデータのバリティが記憶されている。

【0185】図14に示すシンドロームS1×S1×S1+S3の計算器は、主に、B0～B9、C0～C9で示した20個のシフトレジスタ18と複数の論理演算回路19から構成されており、シンドロームS1×S1×S1+S3を計算させるものである。

【0186】まず、STEP1では、Cで示したレジスタを全て"0"にリセットし、STEP2の演算を10回繰り返した時、Cで示したレジスタにS1×S1×S1(=S1A3)が生じる。これを、それぞれD10～D19で示したレジスタのデータに足し込み、記憶させる。

【0187】ここまでの計算で、D0～D9で示したレジスタにS1×S1(=σ1)、D10～D19で示したレジスタにシンドロームS1A3+S3(=σ2)、A0～A9で示したレジスタにシンドロームS1、Pで示したレジスタに読み出しデータのバリティが記憶されている。

【0188】なお、図14に示したシンドロームS1×S1×S1+S3の計算器で得られたσ1のままで誤り位置検出器を動作させることができるが、頭出しに時間がかかるので、頭出しを高速に行うために、図15に示すσ1→λ1変換器によりσ1をλ1に変換する。

【0189】図15に示すσ1→λ1変換器は、主に、B0～B9、C0～C9で示した20個のシフトレジスタ18と複数の論理演算回路19から構成されており、σ1をλ1に変換するものである。

【0190】まず、STEP1では、Cで示したレジスタを全て"0"にリセットし、STEP2の演算を10回繰り返した時、Cで示したレジスタにλ1が生じる。これを、D0～D9で示したレジスタに記憶させる。

【0191】ここまでの計算で、D0～D9で示したレジスタに $\lambda 1$ 、D10～D19で示したレジスタに $\sigma 2$ 、A0～A9で示したレジスタにシンドロームS1、Pで示したレジスタに読み出しデータのバリティが記憶されている。

【0192】なお、図15に示した $\sigma 1 \rightarrow \lambda 1$ 変換器で得られた $\sigma 2$ のままでも誤り位置検出器を動作させることができるが、頭出しに時間がかかるので、頭出しを高速に行うために、図16に示す $\sigma 2 \rightarrow \lambda 2$ 変換器により $\sigma 2$ を $\lambda 2$ に変換する。

【0193】図16に示す $\sigma 2 \rightarrow \lambda 2$ 変換器は、主に、B0～B9、C0～C9で示した20個のシフトレジスタ18と複数の論理演算回路19から構成されており、 $\sigma 2$ を $\lambda 2$ に変換するものである。

【0194】まず、STEP1では、Cで示したレジスタを全て“0”にリセットし、STEP2の演算を10回繰り返した時、Cで示したCレジスタに $\lambda 2$ が生じる。これを、D10～D19で示したレジスタに記憶させる。

【0195】ここまでの計算で、D0～D9で示したレジスタに $\lambda 1$ 、D10～D19で示したレジスタに $\lambda 2$ 、A0～A9で示したレジスタにシンドロームS1、Pで示したレジスタに読み出しデータのバリティが記憶されている。

【0196】図17に示す誤り位置検出器は、主に、D0～D19、A0～A9で示した30個のシフトレジスタ18と複数の論理演算回路19から構成されている。

【0197】この誤り位置検出器は、D0～D9で示したレジスタに記憶されている $\lambda 1$ とD10～D19で示したレジスタに記憶されている $\lambda 2$ とA0～A9で示したレジスタに記憶されているシンドロームS1を用いて誤り位置を検出するものであり、出力制御信号発生回路8で発生させられる出力制御信号OUTCLKに同期して発生するクロック信号中によって動作する。この場合、下記の条件式、

$$A0 = D0 + D10$$

$$A1 = D1 + D11$$

$$A2 = D2 + D12$$

$$A3 = D3 + D13$$

$$A4 = D4 + D14$$

$$A5 = D5 + D15$$

$$A6 = D6 + D16$$

$$A7 = D7 + D17$$

$$A8 = D8 + D18$$

$$A9 = D9 + D19$$

が成立する時に、データ記憶回路17から各信号線DL₀～DL₇を介してD0端子～D7へ出力される読み出しデータを反転させて誤り訂正する。

【0198】クロック信号中の1サイクル（誤り位置演算の1サイクル）後に条件式が成立すれば、カラムアドレス0番地の読み出しデータが誤っている。詳しい例では、例えば、信号線DL₃の誤り位置検出回路がクロック信号中の200サイクル目（誤り位置演算の200サイクル目）で条件式を満たすと、カラムアドレス199番

地が誤っていることが検出される。

【0199】図18は、図1中の誤り訂正回路11で読み出しデータから誤り位置検出・訂正を行うアルゴリズムの一例を示している。

【0200】まず、ステップS101で、メモリセクタと読み出し開始する先頭のカラムアドレスデータが入力される。次に、ステップS102で、メモリセクタからデータ記憶回路17にデータが読み出される。次いで、ステップS103で、D0～D19で示したレジスタ、Pで示したレジスタが“0”にリセットされる。次いで、ステップS104で、変数カラムアドレスレジスタAdd_colの内容を0にセットする。この変数カラムアドレスレジスタAdd_colはカラムアドレス発生回路16にあり、この変数カラムアドレスレジスタAdd_colの内容にしたがってカラムアドレス信号CSLを発生する。

【0201】次に、ステップS105で、カラムアドレスによって選択されたデータ記憶回路17から読み出しデータを出力する。そして、ステップS106で、変数カラムアドレスレジスタAdd_colの内容が516か否かを判定し、変数カラムアドレスレジスタAdd_colの内容が516の場合には、ステップS108で、スイッチSW4、SW6、SW7をオフにし、変数カラムアドレスレジスタAdd_colの内容が516以外なら、ステップS107で、スイッチSW4、SW6、SW7をオンにする。

【0202】次いで、ステップS109で、誤り訂正制御信号ECCLKに同期して発生させられるクロック信号中によってシンドロームとバリティの演算を行う。そして、ステップS110で、変数カラムアドレスレジスタAdd_colの内容=547か否かを判定し、547以外ならステップS111に移り、変数カラムアドレスレジスタAdd_colの内容を1つ進めて前記ステップS109に戻る。このようにして、変数カラムアドレスレジスタAdd_colの内容=547になるまで1つ増加させながら、シンドロームとバリティの演算を繰り返す。なお、上記ステップS105～S111の動作は誤り訂正制御信号ECCLKに同期して行われる。

【0203】そして、前記ステップS110で変数カラムアドレスレジスタAdd_colの内容=547と判定されたら、ステップS112で、シンドロームS1が0か否かを判定する。この判定の結果、もし、S1=0ならば、ステップS113でS3=0か否かを判定する。この判定の結果がS3=0ならば、誤りなしと判定して、ステップS114でステータスを“正常”にセットする。

【0204】これに対して、前記ステップS112での判定の結果がS1=0であり、前記ステップS113での判定の結果がS3≠0ならば、3ビット以上の誤りが生じたと判定して、ステップS115でステータスを“訂正不能”にセットする。

【0205】これに対して、前記ステップS112での判定の結果がS1≠0ならば、ステップS116でS3=0か否かを判定する。この判定の結果がS3=0ならば、3ビット以上の

誤りが生じたと判定して、ステップS122でステータスを“訂正不能”にセットする。また、ステップS116での判定の結果がS3≠0ならば、ステップS117で、S3の変換、σ1の計算、σ2の計算、λ1の計算、λ2の計算を行う。

【0206】次に、ステップS118でλ2が0か否かを判定する。この判定の結果がλ2=0ならば、1ビット誤りが生じたと判定して、ステップS119でステータスを“1ビット誤り”をセットする。

【0207】これに対して、前記ステップS118での判定の結果がλ2≠0ならば、ステップS120で、書き込みデータから発生したパリティと読み出しデータから発生したパリティとが一致しているか否かを判定する。この判定の結果、パリティ一致なら、2ビット誤りが生じたと判定して、ステップS121でステータスを“2ビット誤り”をセットする。また、前記ステップS120での判定の結果、パリティ不一致なら、3ビット以上の誤りが生じたと判定して、ステップS122でステータスを“訂正不能”をセットする。そして、ステータスが確定したら、ステップS123で再び変数カラムアドレスレジスタAdd_col 1の内容を0にセットする。なお、上記ステップS112～S123S105～S111の動作は誤り訂正制御信号ECCLKに同期して行われる。

【0208】次に、ステップS124で誤り位置演算を1サイクル行い、ステップS125で変数カラムアドレスレジスタAdd_colの内容がデータ出力開始のカラムアドレスと一致するか否かを判定する。この判定の結果、一致しなければ、ステップS126に移り、変数カラムアドレスレジスタAdd_colの内容を1つ進めて前記ステップS124に戻る。このようにして、変数カラムアドレスレジスタAdd_colの内容がデータ出力開始のカラムアドレスと一致するまで1つつ増加させて、ステップS124～S126を繰り返す。なお、上記ステップS124～S126の動作は誤り訂正制御信号ECCLKに同期して発生するクロック信号Φに同期して行われる。

【0209】前記ステップS125で変数カラムアドレスレジスタAdd_colの内容がデータ出力開始のカラムアドレスと一致したと判定されたら、ステップS127で、リード・イネーブル信号nREに同期して発生するOUTCLKに同期して、誤り位置演算を行い、変数カラムアドレスレジスタAdd_colの内容にしたがってデータの外部への出力を行う。

【0210】なお、誤り位置演算とデータ出力は、リード・イネーブル信号nREによって外部から要求されただけ繰り返される。このように出力データを訂正するべきか否かを1サイクル前に調べておくことで高速に出力ができる。むしろ高速に出力することを考えなければ、出力と訂正すべきかを同一サイクルで処理してよい。

【0211】図19は、図18に示したアルゴリズムにおけるデータ読み出し動作のタイミングの一例を示して

いる。

【0212】即ち、図19において、まず、アドレス・ラッチ・イネーブル信号ALEが“H”の期間内のライト・イネーブル信号nWEの立ち上がりで、メモリセクタの選択とデータ出力開始カラムアドレスの指定を行うアドレスデータad0～ad2が入力される(図18のステップS101)。

【0213】アドレスデータad2を取り込むと、自動的に読み出し命令信号READが“H”となり、選択されたメモリセクタからデータ記憶回路17へメモリのデータが読み出される(図18のステップS102)。また、この間に、D0～D19で示したレジスタ、Pで示したレジスタが“0”にリセットされ(図18のステップS103)、変数カラムアドレスレジスタAdd_colの内容が0にセットされる(図18のステップS104)。

【0214】変数カラムアドレスレジスタAdd_colはカラムアドレス発生回路16にあり、この変数カラムアドレスレジスタAdd_colの内容にしたがってカラムアドレス信号CSLを発生する。

【0215】データ記憶回路17へのデータ読み出しが終了すると、データラッチ読み出し命令信号DLREADが“H”となり、これによって誤り訂正制御信号ECCLKが出力される。誤り訂正制御信号ECCLKに同期して、カラムアドレス0番地から547番地まで順に、カラムアドレスによって選択されたデータ記憶回路17から読み出しデータが誤り訂正回路11に出力され、シンドロームとパリティの計算が行われる(図18のステップS105～S111)。

【0216】続いて、計算命令信号CALCが“H”となり、再度誤り訂正制御信号ECCLKが出力される。誤り訂正制御信号ECCLKに同期して読み出しデータの誤り検出を行う(図18のステップS112～S122)。

【0217】CALCが“L”となると、データ出力命令信号OUTPUTが“H”となって、出力制御信号OUTCLKが出力され、外部への出力準備を行う(図18のステップS123～S126)。図19の例では、データ出力開始カラムアドレスが“1”番地であるので、誤り位置演算(図18のステップS124)が2回行われる。

【0218】この後、読み出し命令信号READが“L”となって、外部へ出力可能となる。この読み出し命令信号READが“H”の間、ビジー信号nBUSYを“L”にして、外部へ出力準備中であることを伝える。

【0219】リード・イネーブル信号nREが“H”から“L”に移るタイミングで、出力制御信号OUTCLKが“L”から“H”となりカラムアドレス信号CSLが出力され、読み出しデータD0～D7に対応するD0端子～D7端子から出力を開始する。同時に、次のカラムアドレスの出力データが誤りであるかを検出するため、誤り位置演算が行われる(図18のステップS127)。

【0220】コマンド・ラッチ・イネーブル信号CLE

が"H"の期間内のライト・イネーブル信号nWEの立ち上がりで、ステータス読み出し命令である16進コード"70"がHが入力されると、図18のステップS114、S115、S119、S121、S122で述べたようにセットしたステータスを出力する。また、上記ステータス読み出し命令"70"がHが入力されると、ステータス読み出し命令信号STATUSが"H"となる。このステータス読み出し命令信号STATUSを *

ステータス	書き込み	1bit誤り	2bit誤り	訂正不能
D0	0	0	0	1
D1	0	1	0	1
D2	0	0	1	1

【0222】D0で示したレジスタのステータスデータは、誤り訂正も含めて読み出しに成功したかを意味している(0="PASS" / 1="FAIL")。書き込み/消去後にステータス読み出しを行うと、成功していれば0、成功しなければ1を出す。

【0223】D0で示したレジスタのステータスデータは、読み出し/書き込み/消去のステータスデータとして共通にされている。D1で示したレジスタとD2で示したは最大誤り数を示している。

【0224】図11~17の回路は、各信号線DL0~DL7に対応して設けられており、同時に動作するので、それぞれから誤り数が得られる。ステータスとしては、最大の誤り数を出力する。

【0225】図20は、図18に示したアルゴリズムにおける誤り訂正をせずに読み出しデータを出力する動作のタイミングの一例を示している。

【0226】この例では、検査データとパリティデータも出力する。これによって、誤り訂正回路11の動作を外でチェックすることができる。

【0227】即ち、図20において、まず、コマンド・ラッチ・イネーブル信号CLEが"H"の期間内のライト・イネーブル信号nWEの立ち上がりで、誤り訂正非活性化命令である16進コード"80"がHが入力される。なお、この誤り訂正非活性化命令は、書き込み時の誤り訂正非活性化命令"A0"と同じコマンドを用いてもよい。

【0228】図20に示した動作のタイミングは、図19に示した動作のタイミングとはほぼ同じである。違いは、(1)"80"コマンドを投入すること、(2)誤りデータを検出しても訂正しないで出力すること、(3)検査データとパリティデータも出力することである。

【0229】図21は、図1中のECCEN端子に入力される誤り訂正回路活性化信号ECCENBを"L"とした時のデータ読み出し動作のタイミングの一例を示している。

【0230】誤り訂正回路活性化信号ECCENBを"L"とすると、図1中のコマンドインターフェイス3で誤り訂正回路11を非活性化するようにスイッチされる。

【0231】即ち、図21において、アドレス・ラッチ

* 受けて、nCE="L"の時、リード・イネーブル信号nREが"H"から"L"に移るタイミングでステータスの端子D0~端子D7から出力を開始する。例えば端子D0~端子D2からの出力を用いて、下記の表4のように出力する。

【0221】

【表4】

・イネーブル信号ALEが"H"の期間内のライト・イネーブル信号nWEの立ち上がりで、メモリセクタの選択とデータ出力開始カラムアドレスの指定を行うアドレスデータad0~ad2が入力される。

【0232】アドレスデータad2を取り込むと、自動的に読み出し命令信号READが"H"となり、選択されたメモリセクタからデータ記憶回路17へメモリセルのデータが読み出される。この後、読み出し命令信号READが"L"となって、外部へ出力可能となる。また、データ出力命令信号OUTPUTが"H"となって、出力制御信号OUTCLKが出力可能となる。読み出し命令信号READが"H"の間、ビジー信号nBUSYを"L"にして、外部へ出力準備中であることを伝える。

【0233】リード・イネーブル信号nREが"H"から"L"に移るタイミングで、出力制御信号OUTCLKが"L"から"H"となりカラムアドレス信号CSLが出力され、読み出しデータD0~D7がD0端子~D7端子から出力を開始する。

【0234】図22は、図3に示したシステムにおいて電源立ち上がり時に自動的に所定番地のメモリセクタの読み出しを行う動作のタイミングの一例を示している。

【0235】即ち、図22において、電源電圧VCCが0Vから立ち上がり、所定の電圧値に達したらパワーオン検出回路2がパワーオン検出信号PONを"H"にする。コマンドインターフェイス3は、上記パワーオン検出信号PONの"L"から"H"への遷移を受けて、自動的に読み出し命令信号READを"H"にして、読み出しを開始する。アドレスバッファ4も、前記パワーオン検出信号PONの"L"から"H"への遷移を受けて、自動的にアドレスデータを所定の値にセットする。この例では、データ出力開始カラムアドレスが"0"番地にセットされている。

【0236】図22に示した動作のタイミングは、図19に示した動作のタイミングとはほぼ同じであり、違いはパワーオン検出信号PONによって起動されることである。

【0237】<第2の実施の形態>第2の実施の形態は、前記第1の実施の形態と読み出し動作だけが異なる。

る。

【0238】第2の実施の形態に係る誤り訂正回路を搭載したフラッシュメモリの回路構成は、図1に示した回路構成とはほぼ同様であって、さらに外部からの誤り訂正命令を受けてコマンドインターフェース3から誤り訂正読み出し命令信号ECREADが出力される点が異なる。

【0239】図23は、第2の実施の形態において図1中の誤り訂正回路11で読み出しデータから誤り位置検出・訂正を行うアルゴリズムの一例を示しており、図18を参照して前述した第1の実施の形態において図1中の誤り訂正回路11の読み出しデータから誤り位置検出・訂正を行うアルゴリズムとは異なる。

【0240】即ち、まず、ステップS201で、メモリセクタと読み出し開始する先頭のコラムアドレスデータが入力される。次に、ステップS202で、メモリセクタからデータ記憶回路17にデータが読み出される。次いで、ステップS203で、D0～D19で示したレジスタ、Pで示したレジスタが“0”にリセットされる。次いで、ステップS204で、変数カラムアドレスレジスタAdd_colの内容を0にセットする。この変数カラムアドレスレジスタAdd_colはカラムアドレス発生回路16にあり、この内容にしたがってカラムアドレス信号CSLを発生する。

【0241】次に、ステップS205で、カラムアドレスによって選択されたデータ記憶回路17から読み出しデータを外部へ出力する。そして、ステップS206で、変数カラムアドレスレジスタAdd_colの内容がS16か否かを判定し、S16の場合には、ステップS208で、スイッチSW4、SW6、SW7をオフにし、S16以外なら、ステップS207で、スイッチSW4、SW6、SW7をオンにする。

【0242】次いで、ステップS209で、外部からのリード・イネーブル信号nREに同期した出力制御信号OUTCLKに同期して発生させられるクロック信号φによってシンドロームとパリティの演算を行う。そして、ステップS210で、変数カラムアドレスレジスタAdd_colの内容を1つ進めて前記ステップS205に戻る。このようにして、変数カラムアドレスレジスタAdd_colの内容=S27になるまで1つつ増加させながら、シンドロームとパリティの演算を繰り返す。なお、上記ステップS205～S210の動作は出力制御信号OUTCLKに同期して行われる。

【0243】次に、ステップS211で、コマンドインターフェース3に訂正読み出し命令として例えば16進コード“20”Hが入力されると、訂正読み出し命令信号ECREADによって誤り訂正動作になる。そして、ステップS212で、スイッチSW4、SW6、SW7をオンにする。さらに、ステップS213で、誤り訂正制御信号ECCLKに同期して発生させられるクロック信号φによってシンドロームとパリティの演算を行う。

【0244】そして、ステップS214で、変数カラムアドレスレジスタAdd_colの内容S47か否かを判定し、S47以外ならステップS215に移り、1つ進めて前記ステップ

S213に戻る。このようにして、変数カラムアドレスレジスタAdd_colの内容=S47になるまでを1つつ増加させながら、シンドロームとパリティの演算を繰り返す。なお、上記ステップS213～S215の動作は誤り訂正制御信号ECCLKに同期して行われる。

【0245】そして、前記ステップS214で変数カラムアドレスレジスタAdd_colの内容=S47と判定されたら、ステップS216で、シンドロームS1が0か否かを判定する。この判定の結果、もし、S1=0ならば、ステップS217でS3=0か否かを判定する。この判定の結果がS3=0ならば、誤りなしと判定して、ステップS218でステータスを“正常”にセットする。

【0246】これに対して、前記ステップS216での判定の結果がS1=0であり、前記ステップS217での判定の結果がS3=0ならば、3ビット以上の誤りが生じたと判定して、ステップS219でステータスを“訂正不能”にセットする。

【0247】これに対して、前記ステップS216での判定の結果がS1≠0ならば、ステップS220でS3=0か否かを判定する。この判定の結果がS3=0ならば、3ビット以上の誤りが生じたと判定して、ステップS226でステータスを“訂正不能”にセットする。また、前記ステップS220での判定の結果がS3≠0ならば、ステップS221で、S3の交換、σ1の計算、σ2の計算、λ1の計算、λ2の計算を行う。

【0248】次に、ステップS222で、λ2が0か否かを判定する。この判定の結果がλ2=0ならば、1ビット誤りが生じたと判定して、ステップS223でステータスに“1ビット誤り”をセットする。

【0249】これに対して、前記ステップS222での判定の結果がλ2≠0ならば、ステップS224で、書き込みデータから発生したパリティと読み出しデータから発生したパリティとが一致しているか否かを判定する。この判定の結果がパリティ一致なら、2ビット誤りが生じたと判定して、ステップS225でステータスに“2ビット誤り”をセットする。

【0250】これに対して、前記ステップS224での判定の結果がパリティ不一致なら、3ビット以上の誤りが生じたと判定して、ステップS226でステータスに“訂正不能”をセットする。ステータスが確定したら、ステップS227で変数カラムアドレスレジスタAdd_colの内容を再び0にセットし、ステップS228で誤り位置演算を1サイクル行う。なお、上記ステップS216～S228の動作は誤り訂正制御信号ECCLKに同期して行われる。

【0251】次に、ステップS229で、コマンド・ラッチ・イネーブル信号CLEが“H”でライト・イネーブル信号nWEの立ち上がりでステータス読み出し命令として16進コード“70”Hが入力されると、前記ステップS218、S219、S223、S225、S226でそれぞれセットしたステータスをステップS230で出力する。

10

20

30

40

50

【0252】即ち、ステータス読み出し命令"70"Hが入力されると、ステータス読み出し命令信号STATUSが"H"となる。ステータス読み出し命令信号STATUSを受けてチップ・イネーブル信号nCE="L"の時にリード・イネーブル信号nREが"H"から"L"に移るタイミングで、前記ステップS230で、例えば表4に示したようにD0端子〜D2端子からステータスを出力する。

【0253】通常は、誤りが無いのでステータスとして"正常"が出力されて、読み出し終了である。もし、1bit誤りあるいは2bit誤りがステータスとして出力されると、再度読み出しデータを出力する。この時、訂正して出力される。もし、"訂正不能"のステータスが出力されると、読み出し終了となり、訂正不能となったメモリセクタは破壊されたものとCPU21が認識する。

【0254】図24は、図23に示したアルゴリズムにおけるデータ読み出し動作のタイミングの一例を示している。

【0255】アドレス・ラッチ・イネーブル信号ALEが"H"の期間にライト・イネーブル信号nWEの立ち上がりでメモリセクタの選択とデータ出力開始カラムアドレスの指定を行うアドレスデータad0〜ad2が入力される(図23のステップS201)。

【0256】アドレスデータad2を取り込むと、自動的に読み出し命令信号READが"H"となり、選択されたメモリセクタからデータ記憶回路17へメモリセルのデータが読み出される(図23のステップS202)。また、この間に、D0〜D19で示したレジスタ、Pで示したレジスタが"0"にリセットされ(図23のステップS203)、変数カラムアドレスレジスタAdd_colの内容が0にセットされる(図23のステップS204)。変数カラムアドレスレジスタAdd_colはカラムアドレス発生回路16にあり、この変数カラムアドレスレジスタAdd_colの内容にしたがってカラムアドレス信号CSLを発生する。読み出し命令信号READが"H"の間、ビジー信号nBUSYを"L"にして、外部へ出力準備中であることを伝える。

【0257】データ記憶回路17へのデータ読み出しが終了すると、データ出力命令信号OUTPUTが"H"となり、これによってリード・イネーブル信号nREに同期して出力制御信号OUTCLK出力される。出力制御信号OUTCLKに同期して、カラムアドレス0番地から527番地まで順に、カラムアドレスによって選択されたデータ記憶回路17から読み出しデータが誤り訂正回路11に出力され、シンドロームとパリティの計算が行われる(図23のステップS205〜S210)。

【0258】訂正読み出し命令"20"Hが入力されると(図23のステップS211)、誤り訂正読み出し命令信号ECREADが"H"となり、これを受けてデータラッチ読み出し命令信号DLREADが"H"となり、これによって誤り訂正制御信号ECCLKが出力される。誤り訂正制御信号ECCLKに同期して、カラムアドレス528番地から547番地

まで順に、カラムアドレスによって選択されたデータ記憶回路17から読み出しデータが誤り訂正回路11に出力され、シンドロームとパリティの計算が行われる(図23のステップS212〜S215)。

【0259】続いて、計算命令信号CALCが"H"となり、誤り訂正制御信号ECCLKが再度出力される。誤り訂正制御信号ECCLKに同期して読み出しデータの誤り検出を行う(図23のステップS216〜S226)。

【0260】計算命令信号CALCが"L"となると、データ出力命令信号OUTPUTが"H"となって、出力制御信号OUTCLKが出力され、外部への出力準備を行う(図23のステップS227、S228)。誤り訂正読み出し命令信号ECREADが"L"となって訂正読み出し動作は終了する。誤り訂正読み出し命令信号ECREADが"H"の間、ビジー信号nBUSYを"L"にして、外部へ出力準備中であることを伝える。

【0261】コマンド・ラッチ・イネーブル信号CLEが"H"の期間にライト・イネーブル信号nWEの立ち上がりでステータス読み出し命令"70"Hが入力されると(図23のステップS229)、図23のステップS218、S219、S223、S225、S226でセットしたステータスを図23のステップS230で出力する。この場合、ステータス読み出し命令"70"Hが入力されると、ステータス読み出し命令信号STATUSが"H"となる。ステータス読み出し命令信号STATUSを受けてnCE="L"の時にnREが"H"から"L"に移るタイミングで、例えば表4に示したようにD0端子〜D2端子からステータスを出力する。

【0262】もし、1bit誤りあるいは2bit誤りのステータスであれば、リード・イネーブル信号nREが"H"から"L"に移るタイミングで、出力制御信号OUTCLKが"L"から"H"となり、カラムアドレス信号CSLが出力され、D0端子〜D7端子から読み出しデータの出力を開始する。同時に、次のカラムアドレスの出力データが誤りであるか否かを検出するため、誤り位置演算が行われる。このように、出力データを訂正すべきか否かを、1サイクル前に調べておくことにより高速に出力することができる。むしろ高速に出力することを考えなければ、出力と訂正すべきか否かの検出を同一サイクルで処理して良い。

【0263】上記第2の実施の形態においても、前記第1の実施の形態で述べたように、誤り訂正回路を活性化したり非活性化したりすることが容易に可能である。また、検査データやパリティデータの出力も容易に可能である。

【0264】図25は、第1の実施の形態および第2の実施の形態に係るフラッシュメモリにおけるデータ消去動作のタイミングの一例を示している。

【0265】ここでは、メモリセルアレイ12の各アレイA、Bから1つつつメモリブロックを選択して同時に2つのブロックを消去する場合を示している。

【0266】コマンド・ラッチ・イネーブル信号CLE

が"H"の期間にライト・イネーブル信号nWEの立ち上がりで消去アドレス入力命令として16進コード"60"Hが入力される。続いてアドレス・ラッチ・イネーブル信号ALEが"H"の期間に2回のアドレスデータが取り込まれる。再度、コマンド・ラッチ・イネーブル信号CLEが"H"の期間にライト・イネーブル信号nWEの立ち上がりで消去アドレス入力命令"60"Hが入力され、続いてアドレス・ラッチ・イネーブル信号ALEが"H"の期間に2回のアドレスデータが取り込まれる。なお、1ブロックだけ消去する場合は、2回目の消去アドレス入力命令"60"Hの入力とアドレスの入力は行わない。

【0267】コマンド・ラッチ・イネーブル信号CLEが"H"の期間にライト・イネーブル信号nWEの立ち上がりで消去命令として16進コード"90"Hが入力され、消去命令信号ERASEが"H"となり、選択されたブロックが消去される。消去命令信号ERASEが"H"の間、ビジー信号nBUSYが"L"となって内部処理中であることを外部へ伝える。

【0268】以上の説明の中で、検査データとパリティデータを分かり易くするために別々に扱ってきたが、パリティデータも誤りの程度を検査するための検査データの1つである。

【0269】前記した実施の態様から理解できるように、本発明は、以下に述べるような特徴を有するフラッシュメモリをそれぞれ提供するものである。

【0270】即ち、本発明に係る第1のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、外部からの書き込みデータ入力命令"80"を受けて書き込みデータ入力命令信号INPUTを発生し、外部からの書き込み命令"10"Hを受けて書き込み命令信号PROを発生するコマンドインターフェイス3と、外部から入力される第1の信号nWEを受け取る第1の信号バッファ10と、前記書き込み命令信号PROによって活性化され、制御信号CCCLKを発生する制御信号発生回路9と、前記書き込みデータ入力命令信号INPUTによって活性化され、外部から入力される書き込みデータを前記第1の信号nWEに同期して受け取るデータ入力バッファ5と、前記書き込みデータ入力命令信号INPUTによって活性化され、前記第1の信号nWEに同期して前記書き込みデータを受け取り、前記書き込み命令PROによって活性化され、前記制御信号CCCLKに同期して誤り訂正のための検査データを発生する誤り訂正回路11と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、前記書き込みデータ入力命令信号INPUTによって活性化され、前記第1の信号nWEに同期して前記アドレスデータに基づいて予め決められた順にアドレス信号CSLを発生し、前記書き込み命令信号PROによって活性化され、前記制御信号CSLに同期して予め決められた順にアドレス信号を発生するアドレス信号発生回路16と、各々が各々のメモリセルMに対して設けられ、各々は割り付

けられたアドレス信号CSLを受けて前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路17と、前記書き込み命令PROによって活性化され、前記複数のデータ記憶回路17に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段(13,14,15)とを備えたことを特徴とする。

【0271】さらに、望ましい実施態様として、前記書き込み命令信号PROにしたがってビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備えている。

【0272】上記第1のフラッシュメモリによれば、書き込み回路への情報データの入力は、外部から制御される信号nWEに同期して行わせるが、誤り訂正回路は2つの期間において2つの制御信号に同期させて動作させる、つまり、1つめの期間は外部制御信号nWEに同期させ、2つめの期間においては自動的に内部制御信号CCCLKを発生させ、これに同期させる。

【0273】これにより、外部制御信号が入力されない期間でも、誤り訂正のために検査データを内部誤り訂正回路で発生させる、検査データを書き込み回路へ入力させるなどの処理は、フラッシュメモリの内部で自動的に処理できる。したがって、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性のあるフラッシュメモリを提供することができる。

【0274】また、本発明に係る第2のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイ12と、制御信号ECCLKを発生する制御信号発生回路7と、外部から入力される第1の信号nREを受け取る第1の信号バッファ8と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、前記制御信号ECCLKに同期して予め決められた順にアドレス信号CSLを発生し、前記第1の信号nREに同期して前記アドレスデータに基づいてあらかじめ決められた順にアドレス信号CSLを発生するアドレス信号発生回路16と、前記アドレスデータに基づいて前記メモリセルアレイ12中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルmからデータを読み出す読み出し手段(13,14,15)と、各々が各々のメモリセルMに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルMから読み出されたデータを一時記憶し、各々は割り付けられたアドレス信号CSLを受けて一時記憶しているメモリセルMから読み出されたデータを出力する複数のデータ記憶回路17と、前記第1の信号nREに同期して、前記複数のデータ記憶回路17から出力されるメモリセルMから読み出されたデータを外部へ出力するデータ出力バッファ5と、前記制御信号ECCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、前記データ出力バッファ5から出力されるデータが誤りであるか否かを前記第1の信号nREに同期して判断

して訂正する誤り訂正回路11とを備えたことを特徴とする。

【0275】さらに、望ましい実施態様として、

(1) 外部からのステータス読み出し命令"70"Hを受けステータス読み出し命令信号STATUSを発生するコマンドインターフェイス3と、前記ステータス読み出し命令信号STATUSによって活性化されメモリセルMから読み出されたデータに誤りがあったか否かを前記データ出力バッファ5を介して出力するステータス出力手段(5, 11)とを備える。

【0276】(2) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちの複数個のデータを訂正可能であり、前記ステータス出力手段(5, 11)は誤りの数を出力可能である。

【0277】(3) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちのn個($n \geq 1$)のデータを訂正可能で、(n+1)個の誤りの存在を検出可能であって、前記ステータス出力手段(5, 11)は誤り訂正可能か否かを出力可能である。

【0278】(4) 前記メモリセルMからのデータの読み出しおよびメモリセルMから読み出されたデータを前記誤り訂正回路11が受け取る期間にわたって連続してビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0279】上記第2のフラッシュメモリによれば、読み出し回路からの情報データの出力は、外部から制御される信号nREに同期して行わせるが、誤り訂正回路は、2つの期間において2つの制御信号に同期させて動作させる、つまり、1つめの期間は外部制御信号nREに同期させ、2つめの期間においては自動的に内部制御信号ECCLKを発生させ、これに同期させる。

【0280】これにより、外部制御信号が入力されない期間でも、誤り訂正のために検査データを内部誤り訂正回路で発生させる、誤り訂正のための読み出し回路から読み出しデータ(情報データと検査データ)を誤り訂正回路へ読み出すなどの処理は、フラッシュメモリの内部で自動的に処理できる。したがって、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性のあるフラッシュメモリを提供することができる。

【0281】また、本発明に係る第3のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイ12と、外部からの訂正読み出し命令"20"Hを受け訂正読み出し命令信号ECREADを発生するコマンドインターフェイス3と、前記訂正読み出し命令信号ECREADによって活性化され、制御信号ECCLKを発生する制御信号発生回路7と、外部から入力される第1の信号nREを受け取る第1の信号バッファ8と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、前記第1の信号nREに同期して前記アドレスデ

タに基づいて予め決められた順にアドレス信号CSLを発生し、前記訂正読み出し命令信号ECREADによって活性化され、前記制御信号ECCLKに同期して予め決められた順にアドレス信号CSLを発生するアドレス信号発生回路16と、前記アドレスデータに基づいて前記メモリセルアレイ12中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルMからデータを読み出す読み出し手段(13, 14, 15)と、各々が各々のメモリセルMに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルMから読み出されたデータを一時記憶し、各々は割り付けられたアドレス信号CSLを受けて一時記憶しているメモリセルMから読み出されたデータを出力する複数のデータ記憶回路17と、前記第1の信号nREに同期して、前記複数のデータ記憶回路17から出力されるメモリセルMから読み出されたデータを外部へ出力するデータ出力バッファ5と、前記第1の信号nREに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、前記制御信号ECCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、メモリセルMから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路11とを備えたことを特徴とする。

【0282】さらに、望ましい実施態様として、

(1) 前記コマンドインターフェイス3は、外部からのステータス読み出し命令"70"を受けステータス読み出し命令信号STATUSを発生し、さらに、前記ステータス読み出し命令信号STATUSによって活性化されメモリセルMから読み出されたデータに誤りがあったか否かを前記データ出力バッファ5を介して出力するステータス出力手段(5, 11)とを備える。

【0283】(2) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちの複数個のデータを訂正可能であり、前記ステータス出力手段(5, 11)は誤りの数を出力可能である。

【0284】(3) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちのn個($n \geq 1$)のデータを訂正可能で(n+1)個の誤りの存在を検出可能であって、前記ステータス出力手段(5, 11)は誤り訂正可能か否かを出力可能である。

【0285】(4) 前記メモリセルMからのデータの読み出し期間にビジー信号nBUSYを外部へ出力し、かつ、前記訂正読み出し命令信号ECREADにしたがってビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0286】上記第3のフラッシュメモリによれば、2つの期間において2つの制御信号に同期させて誤り訂正回路を動作させる、つまり、1つめの期間は外部制御信号nREに同期させ、2つ目の期間においては自動的に内

部制御信号ECCLKを発生させ、これに同期させる。これにより、外部制御信号が入力されない期間でも、誤り訂正のために検査データを内部誤り訂正回路で発生させ、誤りがある場合はそのデータを特定するなどの処理は、フラッシュメモリの内部で自動的に処理できる。したがって、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性のあるフラッシュメモリを提供することができ

【0287】また、本発明に係る第4のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、外部からの書き込みデータ入力命令"80" Hを受けて書き込みデータ入力命令信号INPUTを発生し、外部からの書き込み命令"10" Hを受けて書き込み命令信号PROを発生するコマンドインターフェイス3と、外部から入力される第1の信号nWEを受け取る第1の信号バッファ10と、前記書き込み命令信号PROXによって活性化され、制御信号CCCLKを発生する制御信号発生回路9と、前記書き込みデータ入力命令信号INPUTによって活性化され、外部から入力される書き込みデータを前記第1の信号nWEに同期して受け取るデータ入力バッファ5と、前記書き込みデータ入力命令信号INPUTによって活性化され、前記第1の信号nWEに同期して前記書き込みデータを受け取り、前記書き込み命令PROXによって活性化され、前記制御信号CCCLKに同期して誤り訂正のための検査データを発生する誤り訂正回路11と、各々が各々のメモリセルMに対して設けられ、前記第1の信号nWEおよび前記制御信号CCCLKに同期して前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路17と、前記書き込み命令PROXによって活性化され、前記複数のデータ記憶回路17に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段(13, 14, 15)とを備えることを特徴とする。

【0288】さらに、望ましい実施態様として、前記書き込み命令信号PROXしたがってビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0289】上記第4のフラッシュメモリによれば、前記第1のフラッシュメモリと比べて、データ記憶回路17に書き込みデータあるいは検査データを取り込み一時記憶する際に、割り付けられたアドレス信号ではなく、外部制御信号nWEおよび内部制御信号CCCLKに同期して取り込む点が異なるが、前述した第1のフラッシュメモリと基本的に同様の効果が得られる。

【0290】また、本発明に係る第5のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイ12と、制御信号ECCLKを発生する制御信号発生回路7と、外部から入力される第1の信号nREを受け取る第1の信号バッファ8と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、

前記アドレスデータに基づいて前記メモリセルアレイ12中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルMからデータを読み出す読み出し手段(13, 14, 15)と、各々が各々のメモリセルMに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルMから読み出されたデータを一時記憶し、前記制御信号ECCLKおよび前記第1の信号nREに同期して一時記憶しているメモリセルMから読み出されたデータを出力する複数のデータ記憶回路17と、前記第1の信号nREに同期して、前記複数のデータ記憶回路17から出力されるメモリセルMから読み出されたデータを外部へ出力するデータ出力バッファ5と、前記制御信号ECCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、前記データ出力バッファ5から出力されるデータが誤りであるか否かを前記第1の信号nREに同期して判断して訂正する誤り訂正回路11とを備えることを特徴とする。

【0291】さらに、望ましい実施態様として、

(1) 外部からのステータス読み出し命令"70"を受けステータス読み出し命令信号STATUSを発生するコマンドインターフェイス3と、前記ステータス読み出し命令信号STATUSによって活性化されメモリセルMから読み出されたデータに誤りがあったか否かを前記データ出力バッファ5を介して出力するステータス出力手段(5, 11)とを備える。

【0292】(2) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちの複数のデータの訂正可能であり、前記ステータス出力手段(5, 11)は誤りの数を出力可能である。

【0293】(3) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちのn個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段(5, 11)は誤り訂正可能か否かを出力可能である。

【0294】(4) メモリセルMからのデータの読み出しおよびメモリセルMから読み出されたデータを前記誤り訂正回路11が受け取る期間にわたって連続してビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0295】上記第5のフラッシュメモリによれば、前記第2のフラッシュメモリと比べて、データ記憶回路17からデータを出力する際に、割り付けられたアドレス信号ではなく、内部制御信号ECCLKおよび外部制御信号nREに同期させる点が異なるが、前述した第2のフラッシュメモリと基本的に同様の効果が得られる。

【0296】また、本発明に係る第6のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイ12と、外部からの訂正読み出し命

令"20"Hを受け訂正読み出し命令信号ECCREADを発生するコマンドインターフェイス3と、前記訂正読み出し命令信号ECCREADによって活性化されて制御信号ECCLKを発生する制御信号発生回路7と、外部から入力される第1の信号nREを受け取る第1の信号バッファ8と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、前記アドレスデータに基づいて前記メモリセルアレイ12中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルMからデータを読み出す読み出し手段(13、14、15)と、各々が各々のメモリセルMに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルMから読み出されたデータを一時記憶し、前記第1の信号nREおよび前記制御信号ECCLKに同期して一時記憶しているメモリセルMから読み出されたデータを出力する複数のデータ記憶回路17と、前記第1の信号nREに同期して、前記複数のデータ記憶回路17から出力されるメモリセルMから読み出されたデータを外部へ出力するデータ出力バッファ5と、前記第1の信号nREに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、前記制御信号ECCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、メモリセルMから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路11とを備えることを特徴とする。

【0297】さらに、望ましい実施態様として、
(1) 前記コマンドインターフェイス3は、外部からのステータス読み出し命令"70"Hを受けステータス読み出し命令信号STATUSを発生し、さらに、前記ステータス読み出し命令信号STATUSによって活性化され、メモリセルMから読み出されたデータに誤りがあったか否かを前記データ出力バッファ5を介して出力するステータス出力手段(5、11)とを備える。

【0298】(2) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうち複数個のデータを訂正可能であり、前記ステータス出力手段(5、11)は誤りの数を出力可能である。

【0299】(3) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうちのn個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段(5、11)は誤り訂正可能か否かを出力可能である。

【0300】(4) メモリセルMからのデータの読み出し期間にビジー信号nBUSYを外部へ出力し、かつ、前記訂正読み出し命令信号ECCREADにしたがってビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0301】上記第6のフラッシュメモリによれば、前記第3のフラッシュメモリと比べて、データ記憶回路17からデータを出力する際に、割り付けられたアドレス

信号ではなく、外部制御信号nREおよび内部制御信号ECCCLKに同期させる点が異なるが、前述した第3のフラッシュメモリと基本的に同様の効果が得られる。

【0302】また、本発明に係る第7のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、外部から入力される第1の信号nREを受け取り、第1の期間に第1の制御信号INCLKを出力する信号バッファ10と、前記第1の期間とは異なる第2の期間に自動的に第2の制御信号CCCLKを発生する制御信号発生回路9と、外部から入力される書き込みデータを前記第1の信号nREに同期して受け取るデータ入力バッファ5と、前記第1の制御信号INCLKに同期して前記書き込みデータを受け取り、前記第2の制御信号CCCLKに同期して誤り訂正のための検査データを発生する誤り訂正回路11と、各々が各々のメモリセルMに対して設けられ、前記第1の制御信号INCLKおよび前記第2の制御信号CCCLKに同期して前記書き込みデータあるいは検査データを取り込み一時記憶する複数のデータ記憶回路17と、前記複数のデータ記憶回路17に一時記憶されている書き込みデータと検査データを前記メモリセクタに書き込む手段(13、14、15)とを備えることを特徴とする。

【0303】さらに、望ましい実施態様として、

(1) 前記第2の期間にビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0304】上記第7のフラッシュメモリによれば、前記第1のフラッシュメモリと比べて、2つの内部制御信号CCCLK、INCLKを用いる点が異なるが、前述した第1のフラッシュメモリと基本的に同様の効果が得られる。

【0305】また、本発明に係る第8のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイ12と、第1の期間に自動的に第1の制御信号ECCLKを発生する制御信号発生回路7と、外部から入力される第1の信号nREを受け取り、第2の制御信号OUTCLKを前記第1の期間とは異なる第2の期間に出力する信号バッファ8と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、前記アドレスデータに基づいて前記メモリセルアレイ12中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルMからデータを読み出す読み出し手段(13、14、15)と、各々が各々のメモリセルMに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルMから読み出されたデータを一時記憶し、前記第1の制御信号ECCLKおよび前記第2の制御信号OUTCLKに同期して一時記憶しているメモリセルMから読み出されたデータを出力する複数のデータ記憶回路17と、前記第2の信号OUTCLKに同期して、前記複数のデータ記憶回路17から出力されるメモリセルMから読み出されたデータを外部へ出力するデータ出力バッファ5と、前記第1の

制御信号ECCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、前記データ出力バッファ5から出力されるデータが誤りであるか否かを前記第2の信号OUTCLKに同期して判断して訂正する誤り訂正回路11とを備えることを特徴とする。

【0306】さらに、望ましい実施態様として、

(1) 外部からのステータス読み出し命令"70"Hを受けステータス読み出し命令信号STATUSを発生するコマンドインターフェイス3と、前記ステータス読み出し命令信号STATUSによって活性化されメモリセルMから読み出されたデータに誤りがあったか否かを前記データ出力バッファ5を介して出力するステータス出力手段(5, 11)とを備える。

【0307】(2) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうち複数のデータの訂正可能であり、前記ステータス出力手段(5, 11)は誤りの数を出力可能である。

【0308】(3) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段(5, 11)は誤り訂正可能か否かを出力可能である。

【0309】(4) さらに、メモリセルMからのデータの読み出しおよびメモリセルMから読み出されたデータを前記誤り訂正回路11が受け取る期間にわたって連続してビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0310】上記第8のフラッシュメモリによれば、前記第2のフラッシュメモリと比べて、2つの内部制御信号ECCLK、OUTCLKを用いる点が異なるが、前述した第2のフラッシュメモリと基本的に同様の効果が得られる。

【0311】また、本発明に係る第9のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、複数の前記メモリセクタから構成されるメモリセルアレイ12と、外部から入力される第1の信号nREを受け取り、第1の期間に第1の制御信号OUTCLKを出力する信号バッファ8と、前記第1の期間とは異なる第2の期間に、自動的に第2の制御信号ECCLKを発生する制御信号発生回路7と、外部から入力されるアドレスデータを受け取るアドレスバッファ4と、前記アドレスデータに基づいて前記メモリセルアレイ12中のメモリセクタを選択し、選択されたメモリセクタの各々のメモリセルMからデータを読み出す読み出し手段(13, 14, 15)と、各々が各々のメモリセルMに対して設けられ、各々は選択されたメモリセクタの対応するメモリセルMから読み出されたデータを一時記憶し、前記第1の制御信号OUTCLKおよび前記第2の制御信号ECCLKに同期して一時記憶しているメモリセルから読み出されたデータを出力する複数のデータ記憶回路17と、前記第

1の制御信号OUTCLKに同期して、前記複数のデータ記憶回路17から出力されるメモリセルMから読み出されたデータを外部へ出力するデータ出力バッファ5と、前記第1の制御信号OUTCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、前記第2の制御信号ECCLKに同期して前記複数のデータ記憶回路17から出力されるメモリセルMから読み出したデータを受け取り、メモリセルMから読み出したデータに誤りがあるか否かを判断し、誤りがある場合はそのデータを特定する誤り訂正回路11とを備えることを特徴とする。

【0312】さらに、望ましい実施態様として、

(1) 外部からのステータス読み出し命令"70"Hを受けステータス読み出し命令信号STATUSを発生するコマンドインターフェイス3と、前記ステータス読み出し命令信号STATUSによって活性化されメモリセルMから読み出されたデータに誤りがあったか否かを前記データ出力バッファ5を介して出力するステータス出力手段(5, 11)とを備える。

【0313】(2) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうち複数のデータの訂正可能であり、前記ステータス出力手段(5, 11)は誤りの数を出力可能である。

【0314】(3) 前記誤り訂正回路11は、メモリセルMから読み出したデータのうち n 個($n \geq 1$)のデータを訂正可能で($n+1$)個の誤りの存在を検出可能であって、前記ステータス出力手段(5, 11)は誤り訂正可能か否かを出力可能である。

【0315】(4) メモリセルMからのデータの読み出し期間にビジー信号nBUSYを外部へ出力し、かつ、前記第2の期間にビジー信号nBUSYを外部へ出力するビジー信号出力回路3を備える。

【0316】上記第9のフラッシュメモリによれば、前記第3のフラッシュメモリと比べて、2つの内部制御信号ECCLK、OUTCLKを用いる点が異なるが、前述した第3のフラッシュメモリと基本的に同様の効果が得られる。

【0317】また、本発明に係る第10のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、ビジー信号nBUSYを外部へ出力するビジー信号出力回路3と、外部から入力される各々のメモリセルに書き込む書き込みデータを受け取るデータ入力バッファ5と、前記書き込みデータを一時記憶する n ビット記憶可能な複数のデータ記憶回路17と、 $m1$ ビット($m1 < n$)の書き込みデータを取り込み $m2$ ビット($m1 + m2 < n$)の検査データを発生し、前記 $m2$ ビットの検査データを発生した後、 $m3$ ビット($m1 + m2 + m3 < n$)の書き込みデータを取り込み $m4$ ビット($m1 + m2 + m3 + m4 \leq n$)の検査データを発生する誤り訂正回路11とを備え、 $m2$ ビットの検査データは、 $m1$ ビットの書き込みデータが前記複数のデータ記

憶回路17に入力された後に前記複数のデータ記憶回路17に入力されて一時記憶され、m4ビットの検査データは、m3ビットの書き込みデータが前記複数のデータ記憶回路17に入力された後に前記複数のデータ記憶回路17に入力されて一時記憶され、前記複数のデータ記憶回路17に一時記憶されたm1およびm3ビットの書き込みデータとm2およびm4ビット検査データは、m4ビットの検査データが前記複数のデータ記憶回路17に一時記憶された後に前記メモリセクタに書き込まれ、前記誤り訂正回路11が前記m2ビットの検査データを発生するときに前記ビジー信号出力回路3からビジー信号nBUSYを外部へ出力することを特徴とする。

【0318】上記第10のフラッシュメモリによれば、2つのメモリセクタ分の情報データを受け取り、一括して2つのメモリセクタに書き込む。1つめのメモリセクタに書き込む情報データが入力されるとビジー信号を出し、見かけ上は書き込み中のようにフラッシュ管理システムに見せて、内部で検査データを発生させる。これにより、検査データ発生が書き込みに比べて短時間に処理できるので、見かけ上の書き込み時間が短いフラッシュメモリを提供できる。

【0319】また、本発明に係る第11のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、ビジー信号nBUSYを外部へ出力するビジー信号出力回路3と、前記メモリセクタから読み出しデータを読み出し、誤った読み出しデータを特定する誤り訂正回路11とを備え、前記メモリセクタから読み出しデータを読み出す期間と前記誤り訂正回路11が誤った読み出しデータを特定する期間とにわたって、前記ビジー信号出力回路3から連続してビジー信号nBUSYを外部へ出力することを特徴とする。

【0320】上記第11のフラッシュメモリによれば、メモリセクタからデータを読み出す期間と誤り訂正回路11で誤りを特定する期間とにわたって連続してビジー信号nBUSYを外部へ出力する。したがって、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性のあるフラッシュメモリを提供することができる。

【0321】また、本発明に係る第12のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、前記メモリセクタから読み出された読み出しデータを外部へ出力するデータバッファ5と、前記データバッファ5から読み出しデータを出力すると同時に、読み出しデータから誤った読み出しデータを特定するために読み出しデータが入力される誤り訂正回路11とを備え、前記誤り訂正回路11は、再度データバッファ5から読み出しデータが外部へ出力される時に、誤った読み出しデータを訂正することを特徴とする。

【0322】さらに、望ましい実施態様として、(1)誤りの状態を外部へ出力するステータス出力回路(5, 11)を備える。

【0323】(2)前記メモリセクタから読み出された読み出しデータを一時記憶する複数のデータ記憶回路17を備える。

【0324】上記第12のフラッシュメモリによれば、読み出しデータを外部へ出力しながら誤り訂正回路を動作させる。その後、残りの誤り訂正の処理を行い、誤りがある場合のみ、再度誤りを訂正して外部へ出力する。

【0325】したがって、内部誤り訂正回路で読み出しデータから誤りの検出やその誤りの特定を行うための所要時間を短くし、見かけ上の読み出し時間を短くすることができ、平均読み出し時間が短いフラッシュメモリを提供することができる。

【0326】また、本発明に係る第13のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを読み出す手段(13, 14, 15)と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11とを備え、前記誤り訂正回路11は、少なくとも1つ以上の所定のメモリセルに記憶される情報データを予め決められたダミーデータに置き換えて前記検査データを発生し、前記所定のメモリセルから読み出された情報データを前記ダミーデータに置き換えて前記情報データを訂正することを特徴とする。

【0327】上記第13のフラッシュメモリによれば、所定のメモリセルに書き込まれる情報データを固定データに置き換えて検査データを発生し、誤り訂正を行う。

【0328】したがって、フラッシュメモリ管理システムが、そのメモリセルに追加情報データを書き込んだ場合でも、正しく誤り訂正できるフラッシュメモリが提供することができる。

【0329】また、本発明に係る第14のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、所定のnビット情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記nビットの情報データと前記検査データを読み出す手段(13, 14, 15)と、前記nビットの情報データから前記検査データを発生し、前記nビットの情報データと前記検査データから前記nビットの情報データの誤り訂正をする誤り訂正回路11とを備え、前記誤り訂正回路11は、外部から入力される前記情報データがmビット($m < n$)の場合に予め決められた($n - m$)ビットのダミーデータを情報データとして実効的に付加し前記検査データを発生することを特徴とする。

【0330】上記第14のフラッシュメモリによれば、外部から入力される情報データ長が所定の長さでなくても正しく誤り訂正を行うことができる。即ち、フラッシュ

メモリ管理システムからの情報データ長が所定の長さより短くても、正しく誤り訂正を行うことができる。したがって、情報データ長に依存せず正しく誤り訂正ができるフラッシュメモリを提供することができる。

【0331】また、本発明に係る第15のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを読み出す手段(13, 14, 15)と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11と、外部へ誤り訂正して前記情報データを出力するか、外部へ誤り訂正しないで前記情報データを出力するかを選択するスイッチ回路3とを備えたことを特徴とする。

【0332】上記第15のフラッシュメモリによれば、電気的なスイッチを設けて、内部に搭載した誤り訂正回路を活性化するか非活性化するか選択できる。したがって、容易に不良解析を行うことができるフラッシュメモリを提供することができる。

【0333】即ち、常に誤り訂正回路が活性化しているで、誤りを訂正して出力すると、誤りを起こしているのがどうか、あるいは誤りを起こしたメモリセルが不明であると、製品テストなどで不良解析を行う場合に困るという問題があるが、選択回路を設けたことにより上記問題を発生させないようにすることができる。

【0334】また、本発明に係る第16のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを読み出す手段(13, 14, 15)と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11と、前記誤り訂正回路11を活性化するか、非活性化するかを選択するスイッチ回路3とを備えたことを特徴とする。

【0335】上記第16のフラッシュメモリによれば、製品出荷時に固定できるスイッチを設けて、内部に搭載した誤り訂正回路を活性化するか非活性化するか選択できる。したがって、内部誤り訂正回路が動作する製品と動作しない製品とを共通に生産可能になるフラッシュメモリを提供することができる。

【0336】即ち、フラッシュメモリを応用したシステム側で誤り訂正を行う場合には、内部の誤り訂正動作は単に書き込み・読み出し動作を遅くしているに過ぎないので、内部誤り訂正回路を非活性化する必要がある。このために、内部誤り訂正回路を動作させる製品と、動作させない製品を作り分けるのは生産性を落とすという問

題があるが、選択回路を設けたことにより解決することができる。

【0337】また、本発明に係る第17のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、複数の前記メモリセクタで構成されるメモリセルアレイ12と、情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを読み出す手段(13, 14, 15)と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11と、電源投入にともなって自動的に所定のメモリセクタのデータを読み出す手段(2, 3, 13, 14, 15)とを備えたことを特徴とする。

【0338】上記第17のフラッシュメモリによれば、電源投入とともに自動的にメモリセルアレイから所定のデータを読み出しフラッシュメモリを応用したシステムにおいて、フラッシュメモリに搭載した誤り訂正回路によりいかなる場合でも誤り訂正が可能になり、安定して信頼性の高いフラッシュメモリを提供することができる。

【0339】即ち、電源投入とともに自動的にメモリセルアレイから所定のデータを読み出しフラッシュメモリを使ったシステムでは、その所定のデータによってフラッシュメモリを制御するものとする、このシステムが誤り訂正を行うとしても、その所定のデータに関してはシステムが立ちあがる前なので誤り訂正が効かないという問題を解決することができる。

【0340】また、本発明に係る第18のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、第1の情報データと第1の検査データを前記メモリセクタの各々のメモリセルに1ビットづつに書き込み、その後、書き込まれた第1の情報データと書き込まれた第1の検査データと第2の情報データと第2の検査データをもとに前記メモリセクタの各々のメモリセルMにさらに1ビットづつに書き込み、1つのメモリセルに2ビットのデータを書き込む多値書き込み手段(13, 14, 15)と、前記メモリセクタから前記第1の情報データと前記第1の検査データを読み出し、前記メモリセクタから前記第2の情報データと前記第2の検査データを読み出す多値読み出し手段(13, 14, 15)と、前記第1の情報データから前記第1の検査データを発生し、前記第2の情報データから前記第2の検査データを発生し、前記第1の情報データと前記第1の検査データから前記1の情報データの誤りを訂正し、前記第2の情報データと前記第2の検査データから前記2の情報データの誤りを訂正する誤り訂正回路11とを備え、前記誤り訂正回路11は、BCH符号に基づいて検査データの発生及び誤り訂正を行うことを特徴とする。

【0341】上記第18のフラッシュメモリによれば、

第1の情報データと第1の検査データをメモリセクタの各々のメモリセルに1ビットづつに書き込み、その後、書き込まれた第1の情報データと第1の検査データと第2の情報データと第2の検査データとからそのメモリセクタの各々のメモリセルにさらに1ビットづつに書き込み、1つのメモリセルに2ビットのデータを書き込む。また、BCH符号に基づいた回路を搭載させる。したがって、比較的チップサイズの小さい、多値フラッシュメモリを提供することができる。

【0342】即ち、多値フラッシュメモリにおいて、1つのメモリセルの破壊によって複数ビット誤りを引き起こす。このため、誤り訂正方法としてはバースト誤り訂正可能な方法が効率的である。一方、ビット単位での誤り訂正回路は比較的簡単でチップサイズの増大が少なくすむ。多値フラッシュメモリに適用する誤り訂正回路として、ビット単位で誤り訂正する誤り訂正回路を適用すると救済効率が低いという問題を解決することができる。

【0343】また、本発明に係る第19のフラッシュメモリは、複数のフラッシュメモリセルMで構成されるメモリセクタと、前記メモリセクタを消去し、全てのメモリセルのデータを"1"にする消去回路(13, 14, 15)と、情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを読み出す手段(13, 14, 15)と、前記情報データから前記検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11とを備え、前記誤り訂正回路は、全て"1"の情報データから全て"1"の検査データを発生することを特徴とする。

【0344】上記第19のフラッシュメモリによれば、消去されたメモリセルのデータを"0"とする。また、全て"0"の情報データに対して全て"0"の検査データが発生されるように誤り訂正回路を設定する。したがって、消去後の読み出しにおいても誤り訂正回路が正常に動作するフラッシュメモリを提供することができる。

【0345】即ち、誤り訂正回路を搭載したフラッシュメモリのデータを消去した後でデータを読む場合がある。この場合に誤り訂正回路が動作すると、誤りが存在すると誤検出してしまうという問題を解決することができる。

【0346】また、本発明に係る第20のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、外部から入力される情報データから誤り訂正のための検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11と、各々が各々のメモリセルMに対して設けられる複数のデータ記憶回路17と、前記複数のデータ記憶回路17に一時記憶されている情報データと検

査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを前記複数のデータ記憶回路17に読み出す手段(13, 14, 15)と、前記複数のデータ記憶回路17に記憶されているメモリセクタから読み出された情報データおよび検査データを外部へ出力する手段(3, 5, 6, 16)とを備えたことを特徴とする。

【0347】上記第20のフラッシュメモリによれば、メモリセクタから読み出された情報データおよび検査データを外部へ出力する手段を備える。したがって、検査データが正しく発生できているかを検査でき、信頼性の高いフラッシュメモリを提供することができる。

【0348】また、本発明に係る第21のフラッシュメモリは、複数のフラッシュメモリセルMから構成されるメモリセクタと、外部から入力される情報データから誤り訂正のための検査データを発生し、前記情報データと前記検査データから前記情報データの誤り訂正をする誤り訂正回路11と、各々が各々のメモリセルMに対して設けられる複数のデータ記憶回路17と、前記複数のデータ記憶回路17に一時記憶されている情報データと検査データを前記メモリセクタに書き込む手段(13, 14, 15)と、前記メモリセクタから前記情報データと前記検査データを前記複数のデータ記憶回路17に読み出す手段(13, 14, 15)とを備え、前記複数のデータ記憶回路17に記憶されているデータを外部から情報データが入力される前に所定のデータ"1"にリセットすることを特徴とする。

【0349】上記第21のフラッシュメモリによれば、誤り訂正回路11では所定のメモリセルに書き込まれる情報データを固定データに置き換えて検査データを発生する。この際、情報データと検査データを、各々のメモリセルに対して設けられている複数のデータ記憶回路に一時記憶させ、一括してメモリセルに書き込む。データ記憶回路では、情報データが入力される前に、記憶しているデータが固定データにリセットされる。したがって、簡素で高速な回路でありながら、データ長に依存せずに、正しく誤り訂正を行うことが可能なフラッシュメモリを提供することができる。

【0350】なお、本発明は上述した実施形態に限定されるものではない。フラッシュメモリセルとしては、上述した実施形態のNAND型メモリセル以外にも、NOR型メモリセル、仮想グラントメモリセルなど、メモリセルの形態は選ばない。また、クラスタのサイズは、上述した実施形態では4セクタであったが、8セクタ、9セクタ、16セクタなどシステムの特性に応じて選ぶことが可能である。また、クラスタとセクタの数を同じにしてもよい。

【0351】また、上述した実施形態では1つのメモリセルに2ビットのデータを書いたが、1つのメモリセルに1ビット、3ビット、4ビットなどでもよい。その

他、本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0352】

【発明の効果】上述したように本発明のフラッシュメモリ（請求項1、3、8、13、15、20、25、27、32およびそれに従属する請求項）は、2つの期間において2つの制御信号に同期させて誤り訂正回路を動作させ、1つ目の期間は外部制御信号に同期させ、2つ目の期間においては自動的に内部制御信号を発生させ、これに同期させることにより、外部制御信号が入力されない期間でも、誤り訂正のために検査データを内部誤り訂正回路で発生させる、検査データを書き込み回路へ入力させる、誤り訂正のための読み出し回路から誤り訂正回路へ読み出しデータ（情報データと検査データ）を読み出す、などは内部で自動的に処理できる。したがって、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性のあるフラッシュメモリを提供することができる。

【0353】また、本発明のフラッシュメモリ（請求項37）は、2つのメモリセクタ分の情報データを受け取り、一括して2つのメモリセクタに書き込む。1つ目のメモリセクタに書き込む情報データが入力されるとビジー信号を出し、見かけ上書き込み中のようにフラッシュ管理システムに見せて、内部で検査データを発生させる。検査データ発生が書き込みに比べて短時間に処理できるので、見かけ上書き込み時間が短いフラッシュメモリを提供することができる。

【0354】また、本発明のフラッシュメモリ（請求項38）は、メモリセクタからデータを読み出す期間と誤り訂正回路11で誤りを特定する期間とにわたって連続してビジー信号nBUSYを外部へ出力するので、従来の誤り訂正回路を搭載しないフラッシュメモリと互換性のあるフラッシュメモリを提供することができる。

【0355】また、本発明のフラッシュメモリ（請求項39およびそれに従属する請求項）は、読み出しデータを外部へ出力しながら誤り訂正回路を動作させる。その後、残りの誤り訂正の処理を行い、誤りがある場合のみ、再度誤りを訂正して外部へ出力する。これにより、平均読み出し時間が短いフラッシュメモリを提供することができる。

【0356】また、本発明のフラッシュメモリ（請求項42）は、所定のメモリセルに書き込まれる情報データを固定データに置き換えて検査データを発生し、誤り訂正を行うことにより、フラッシュメモリ管理システムが、そのメモリセルに追加情報データを書き込んだ場合でも、正しく誤り訂正できるフラッシュメモリが提供することができる。

【0357】また、本発明のフラッシュメモリ（請求項43）は、外部から入力される情報データ長が所定の長さでないと、実効的に自動的に固定データを追加したよ

うにして検査データの発生と誤り訂正を行うことにより、情報データ長に依存せず正しく誤り訂正ができるフラッシュメモリを提供することができる。

【0358】また、本発明のフラッシュメモリ（請求項44）は、電気的なスイッチを設けて、内部に搭載した誤り訂正回路を活性化するか非活性化するか選択することにより、不良解析を容易に行い得るフラッシュメモリを提供することができる。

【0359】また、本発明に係るフラッシュメモリ（請求項45）は、製品出荷時に固定できるスイッチを設けて、内部に搭載した誤り訂正回路を活性化するか非活性化するか選択することにより、内部誤り訂正回路が動作する製品と動作しない製品とを共通に生産することができるフラッシュメモリを提供することができる。

【0360】また、本発明に係るフラッシュメモリ（請求項46）は、電源投入とともに自動的にメモリセルアレイから所定のデータを読み出すように動作するフラッシュメモリに誤り訂正回路を搭載しておき、いかなる場合でも安定して信頼性の高いフラッシュメモリを提供することができる。

【0361】また、本発明に係るフラッシュメモリ（請求項47）は、第1の情報データと第1の検査データをメモリセクタの各々のメモリセルに1ビットずつに書き込み、その後、書き込まれた第1の情報データと第1の検査データと第2の情報データと第2の検査データとからそのメモリセクタの各々のメモリセルにさらに1ビットずつに書き込み、1つのメモリセルに2ビットのデータを書き込む。また、BCH符号に基づいた誤り訂正回路を搭載させる。これにより、比較的チップサイズの小さい多値フラッシュメモリを提供することができる。

【0362】また、本発明に係るフラッシュメモリ（請求項48）は、消去後の読み出しにおいても誤り訂正回路が正常に動作するフラッシュメモリを提供することができる。

【0363】また、本発明に係るフラッシュメモリ（請求項49）は、メモリセクタから読み出された情報データおよび検査データを外部へ出力する手段を備えることにより、検査データが正しく発生できているかを検査でき、信頼性の高いフラッシュメモリを提供することができる。

【0364】また、本発明に係るフラッシュメモリ（請求項50）は、簡潔で高速な回路でありながら、データ長に依存せず、正しく誤り訂正を行うことが可能なフラッシュメモリを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るフラッシュメモリの構成を示すブロック図。

【図2】図1中のメモリセルアレイの1個分を取り出して示す回路図。

【図3】図1のフラッシュメモリを適用したシステムの

構成を示すブロック図。

【図4】図1中の誤り訂正回路における検査データ発生部を示す回路図。

【図5】図1中の誤り訂正回路におけるシフトレジスタと論理演算回路を示す回路図。

【図6】第1の実施の形態における書き込みアルゴリズムの一例を示す図。

【図7】図6の書き込みアルゴリズムにおいて同時に2つのメモリセクタにデータを書き込む動作のタイミングの一例を示す図。

【図8】図6の書き込みアルゴリズムにおいて1つのメモリセクタにだけデータを書き込む動作のタイミングの一例を示す図。

【図9】実施例に係る書き込みタイミングを示す図。

【図10】実施例に係る書き込みタイミングを示す図。

【図11】図1中の誤り訂正回路におけるシンドロームS1、S3発生部を示す図。

【図12】図1中の誤り訂正回路におけるシンドロームS3の変換回路を示す図。

【図13】図1中の誤り訂正回路における $\sigma_1 = S1 \times S1$ 計算回路を示す図。

【図14】図1中の誤り訂正回路における $\sigma_2 = S1 \times S1 \times S1 + S3$ 計算回路を示す図。

【図15】図1中の誤り訂正回路における $\sigma_1 \rightarrow \lambda_1$ 変換器を示す図。

【図16】図1中の誤り訂正回路における $\sigma_2 \rightarrow \lambda_2$ 変換器を示す図。

【図17】図1中の誤り訂正回路における誤り位置検出回路を示す図。

【図18】第1の実施の形態における読み出しアルゴリズムの一例を示す図。

【図19】図18の読み出しアルゴリズムにおける読み出し動作のタイミングの一例を示す図。

【図20】図18の読み出しアルゴリズムにおいて誤り訂正をせずに読み出しデータを出力する動作の一例を示す図。

*【図21】図18の読み出しアルゴリズムにおいて誤り訂正活性化信号ECCENBを"L"とした時のデータ読み出し動作のタイミングの一例を示す図。

【図22】図3に示したシステムにおいて電源立ち上がり時に自動的に所定番地のメモリセクタの読み出しを行う動作のタイミングの一例を示す図。

【図23】第2の実施の形態における読み出しアルゴリズムの一例を示す図。

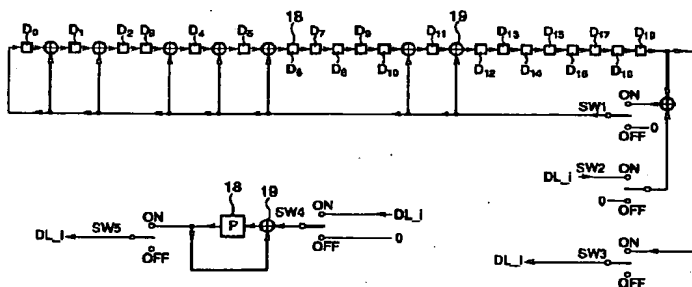
【図24】図23の読み出しアルゴリズムにおける読み出し動作のタイミングの一例を示す図。

【図25】本発明のフラッシュメモリにおける消去動作のタイミングの一例を示す図。

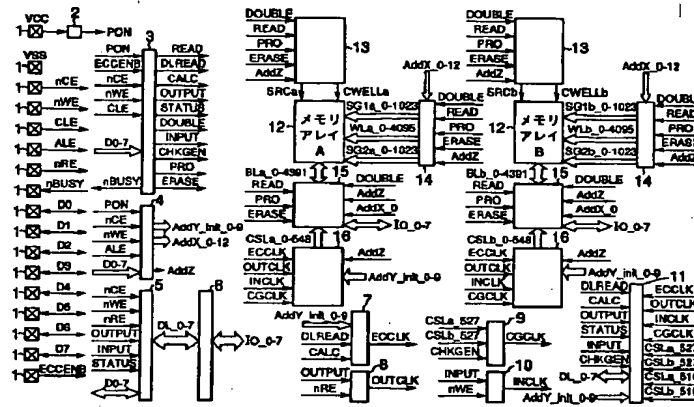
【符号の説明】

- 1…外部端子、
- 2…パワーオン検出回路、
- 3…コマンドインターフェイス、
- 4…アドレスバッファ、
- 5…データ入力バッファ、
- 6…IOバッファ、
- 7…誤り訂正制御信号発生回路、
- 8…出力制御信号発生回路、
- 9…検査データ発生制御信号発生回路、
- 10…入力制御信号発生回路、
- 11…誤り訂正回路、
- 12…メモリセルアレイ、
- 13…ソース・ウェル制御回路、
- 14…ロウ制御回路、
- 15…カラム制御回路、
- 16…カラムアドレス発生回路、
- 17…データ記憶回路、
- 18…シフトレジスタ、
- 19…論理演算回路、
- 20…フラッシュメモリ、
- 21…CPU、
- 22…キャッシュメモリ。

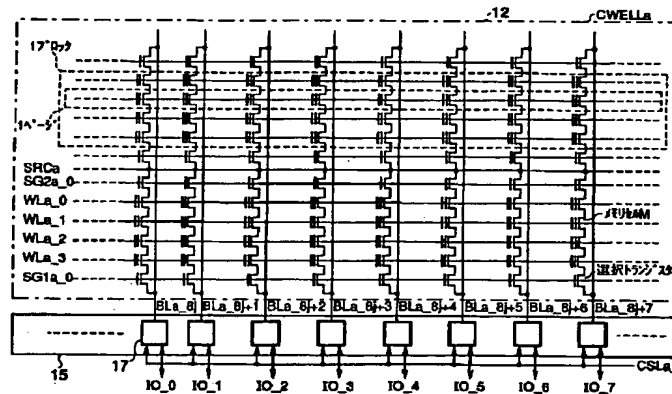
【図4】



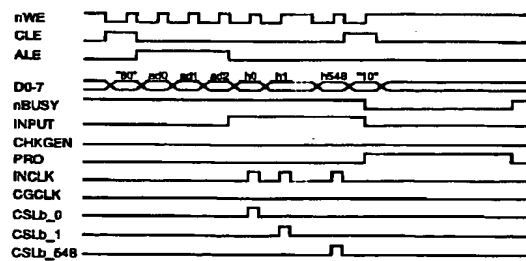
【図1】



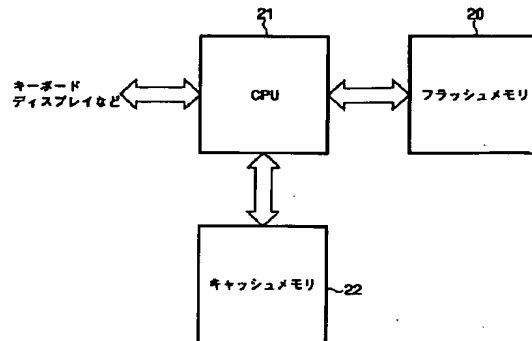
【図2】



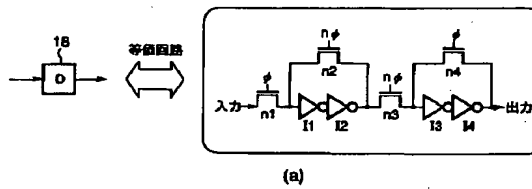
【図10】



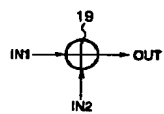
【図3】



【図5】

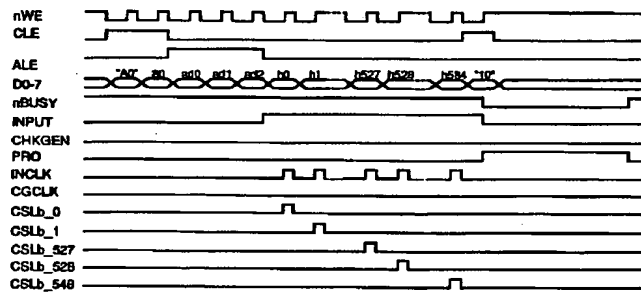


(a)

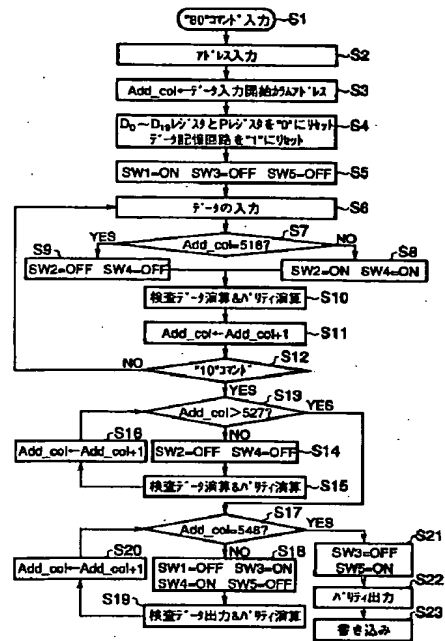


(b)

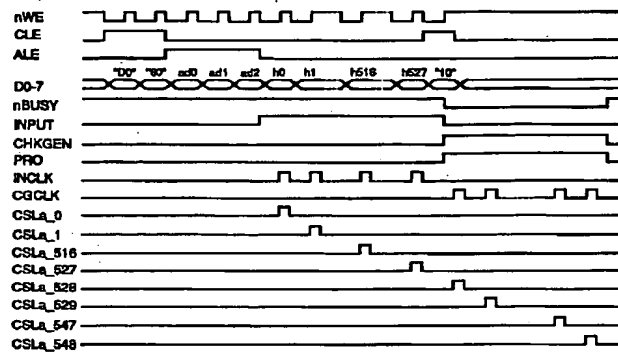
【図9】



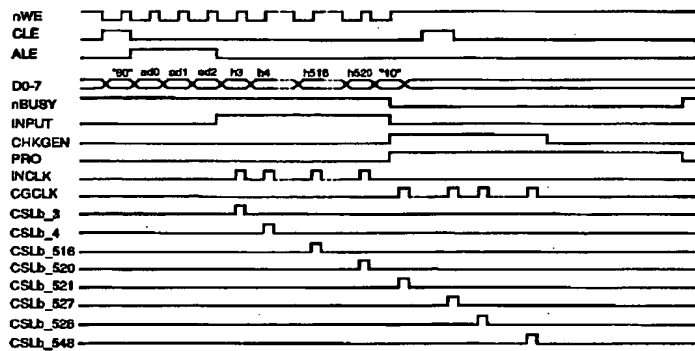
【図6】



【図7】



【図8】



【図17】

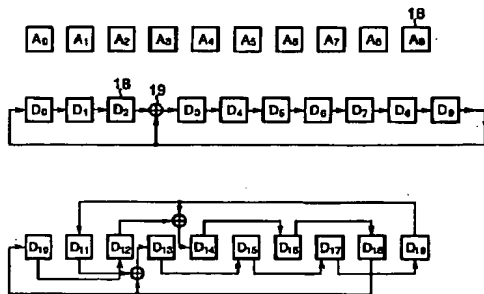


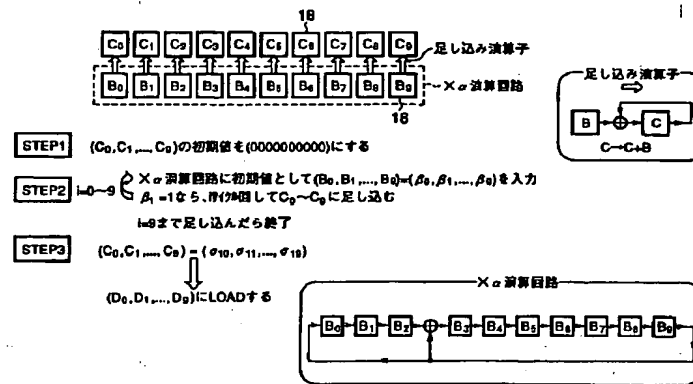
Figure 1 is a block diagram of the control system for the 16-bit shift register 18. The diagram shows two main shift registers, 18 and 19, and a 16-bit shift register 18. Register 18 is controlled by SW6 and SW7, and its output is connected to register 19. Register 19 is controlled by SW4 and SW5. The diagram also shows the internal structure of the 16-bit shift register 18, which consists of 16 stages (A0 to A15) and a 16-bit output (A16 to A31). The output of the 16-bit shift register 18 is connected to the input of the 16-bit shift register 18.

Figure 1 illustrates the initial value setting process for the registers. The process is divided into three steps:

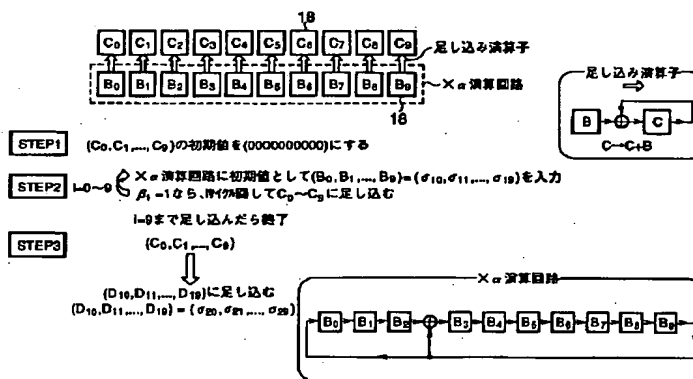
- STEP 1:** Initial values (0000000000) are set for the registers (C_0, C_1, \dots, C_8) .
- STEP 2:** Initial values (1000000000) are set for the registers (B_0, B_1, \dots, B_8) .
- STEP 3:** Final values (D_0, D_1, \dots, D_8) are set for the registers (D_0, D_1, \dots, D_8) .

The diagram also shows a 16-bit register $(B_0, B_1, \dots, B_{15})$ and a 16-bit register $(D_0, D_1, \dots, D_{15})$. The registers are organized into two rows of 8 bits each, with a total of 16 bits. The registers are labeled C_0 through C_{15} and B_0 through B_{15} . The registers C_0 through C_8 are labeled "足し込み演算子" (Addition Operator) and the registers B_0 through B_8 are labeled " $\times 2^8$ 演算回路" ($\times 2^8$ Operation Circuit). The registers D_0 through D_8 are labeled " $\times 2^8$ 演算回路" ($\times 2^8$ Operation Circuit).

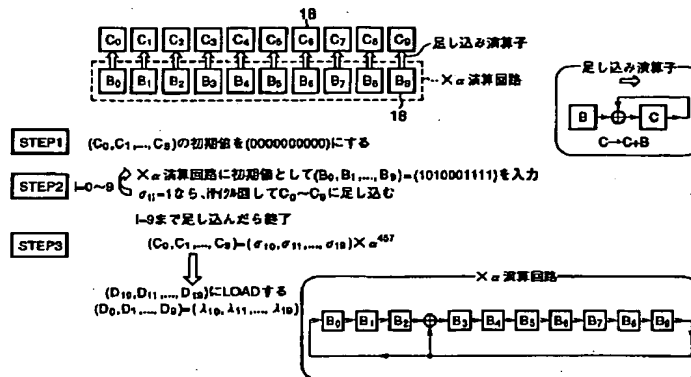
【図13】



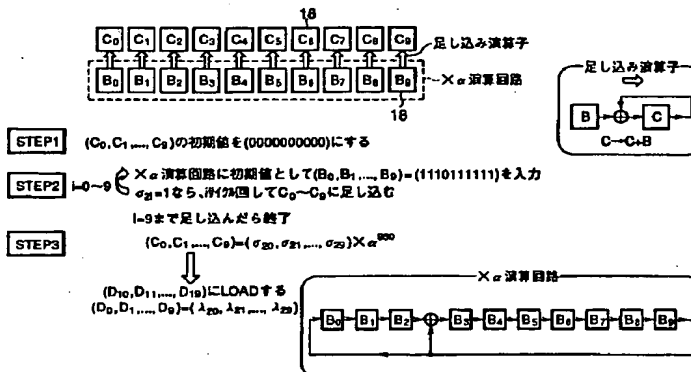
【図14】



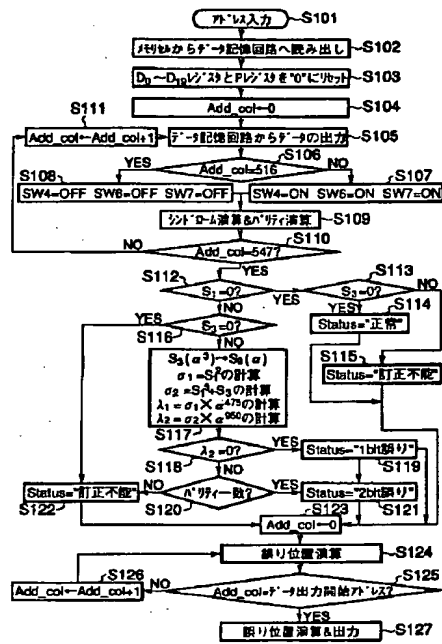
【図15】



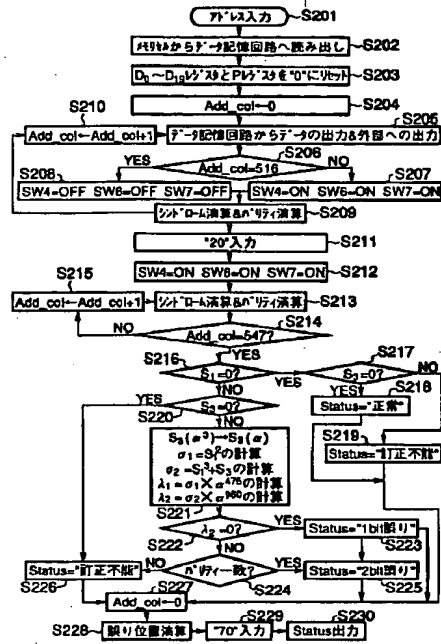
【図16】



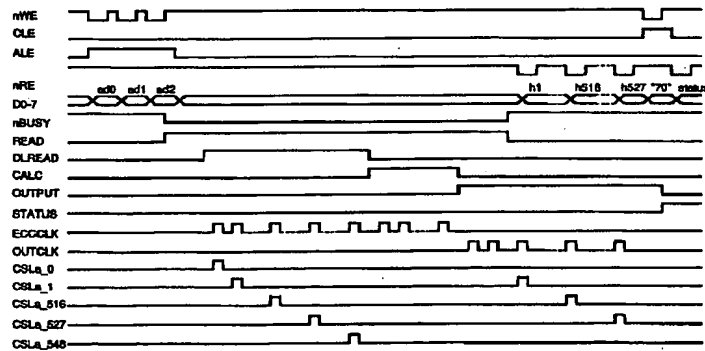
【図18】



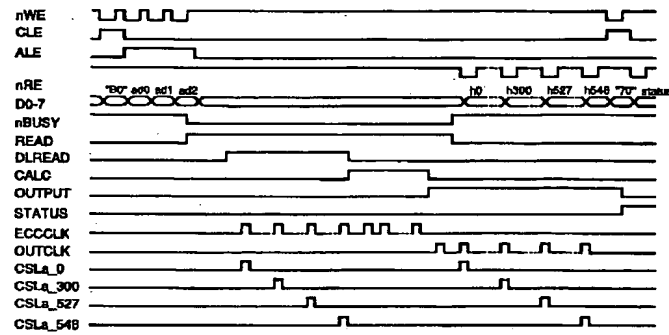
【図23】



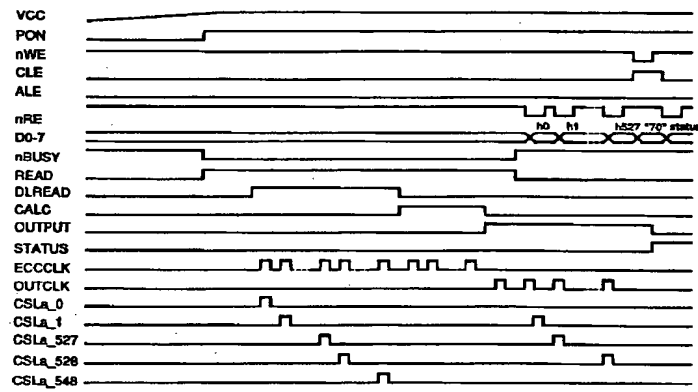
【図19】



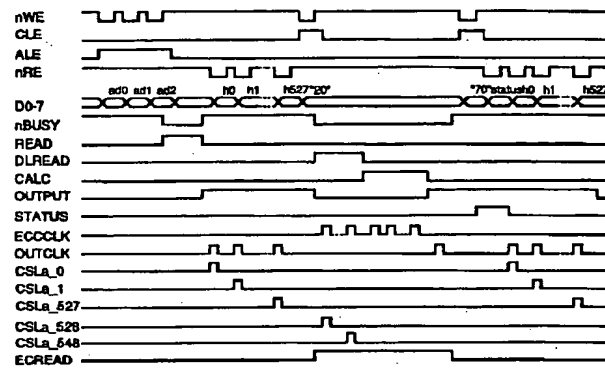
【図20】



【図22】



【図24】



フロントページの続き

(72)発明者 丹沢 徹
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 5B003 AA05 AB05 AC04 AC07 AD03
AD04 AD08 AE01
5B025 AA03 AB01 AC01 AD01 AD04
AD05 AD13 AE05 AE08
5L106 AA10 BB12